

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-198767

(43)Date of publication of application : 01.08.1995

(51)Int.Cl. G01R 27/28
G01R 35/00

(21)Application number : 06-110015

(71)Applicant : ATN MICROWAVE INC

(22)Date of filing : 24.05.1994

(72)Inventor : VAHE A ADAMIAN
MICHAEL T FALCINERI
PETER V PHILIPS

(30)Priority

Priority number : 93 66543
93 156277

Priority date : 24.05.1993
22.11.1993

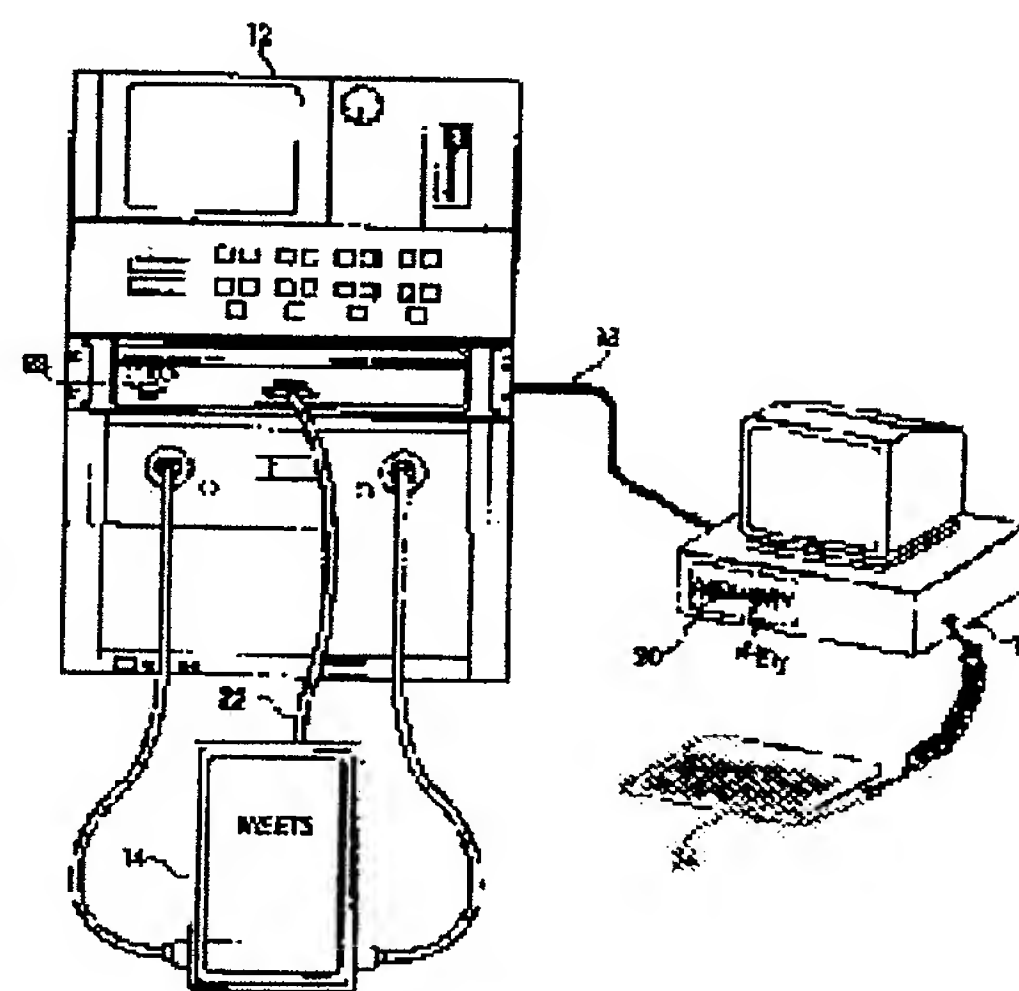
Priority country : US
US

(54) ELECTRONIC CALIBRATING METHOD AND APPARATUS

(57)Abstract:

PURPOSE: To calibrate a net work analyzer (VNA) which requires connection of any two of its ports by providing VNA having at least a first port and a second port.

CONSTITUTION: Frequency for carrying out a device under test(DUT) is applied to a computer 16. The frequency is so adjusted as to be in a mutual correlation with the previously measured frequency of the calibration net work which can be inserted. Then, to carry out calibration, the VNA 12 is loaded with the frequency, so that the VNA 12 is set up. Next, multistate electron transfer standard (MSETS) 14 is measured and on the completion of the measurement, error items of an error modem are calculated. After that, these error items are utilized to be converted into proper frequency for DUT to be measured. The VNA 12 is turned back to the initial state, the connection of the MSETS 14 is released, and the DUT is connected for measurement.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-198767

(43) 公開日 平成7年(1995)8月1日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 27/28	Z			
35/00	J			

審査請求 未請求 請求項の数34 O L (全 26 頁)

(21) 出願番号	特願平6-110015	(71) 出願人	594085650 エイティーエヌ・マイクロウェーブ・イン コーポレーテッド ATN MICROWAVE, INC. アメリカ合衆国マサチューセッツ州01821, ビレリカ, エクゼクティブ・パーク・ドラ イブ 11
(22) 出願日	平成6年(1994)5月24日	(72) 発明者	バエ・エイ・アダミアン アメリカ合衆国マサチューセッツ州02173, レキシントン, メイソン・ストリート 17
(31) 優先権主張番号	0 6 6 5 4 3	(74) 代理人	弁理士 湯浅 恭三 (外6名)
(32) 優先日	1993年5月24日		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	1 5 6 2 7 7		
(32) 優先日	1993年11月22日		
(33) 優先権主張国	米国 (US)		

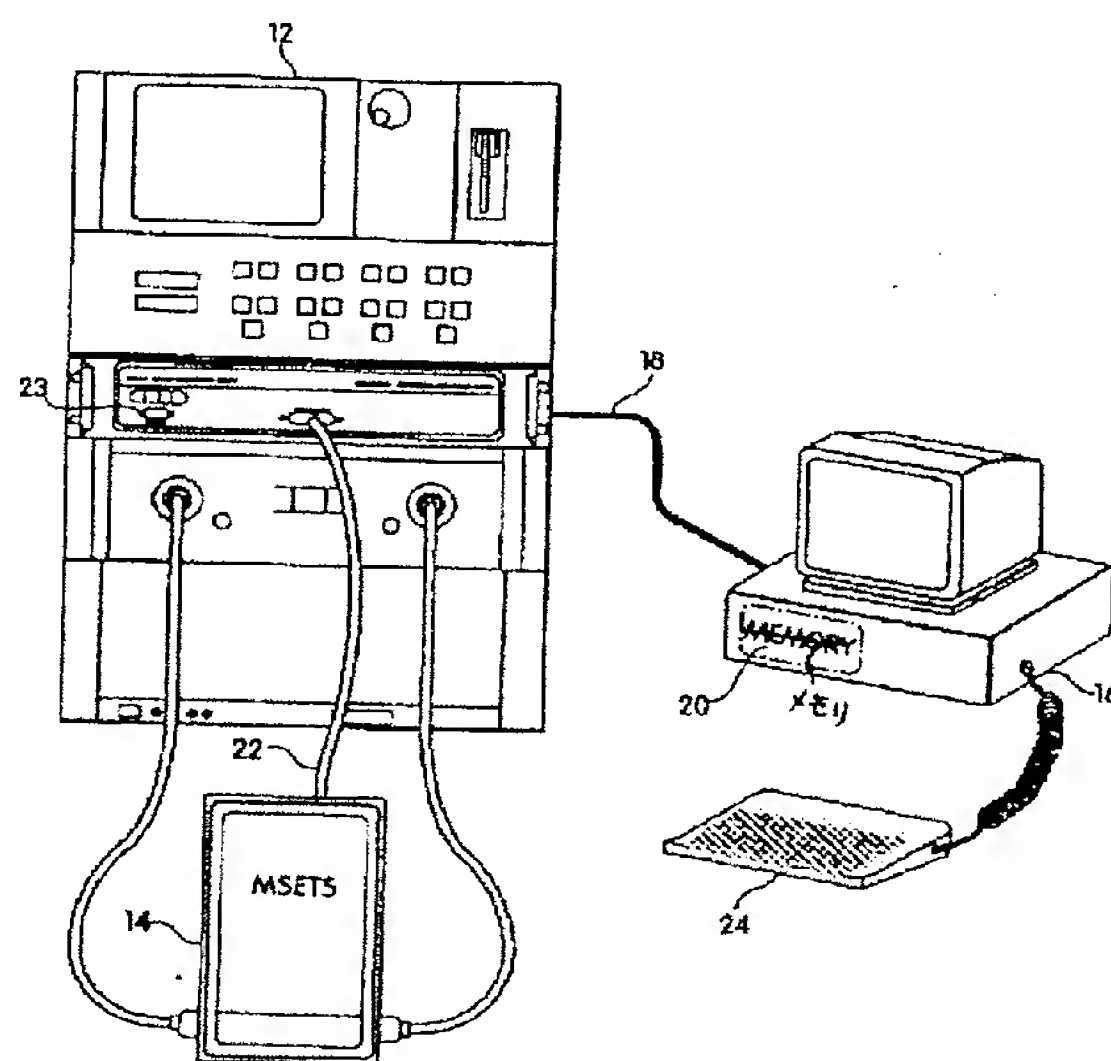
最終頁に続く

(54) 【発明の名称】 電子構成方法及び装置

(57) 【要約】

【目的】 ネットワークアナライザの校正のために複数の状態を該アナライザのポートで自動的に生成する方法及び装置を提供する。

【構成】 ネットワークアナライザの校正方法は、少なくとも第1ポートと第2ポートとを有するネットワークアナライザを提供するステップと、少なくとも1つのポートを有するマルチステート電子転送標準を提供するステップと、前記アナライザの第1及び第2ポートのうちの1つにマルチステート電子転送標準の少なくとも1つのポートをインターフェースするステップと、マルチステート電子転送標準の少なくとも1つのポートでマルチステート電子転送標準をもって複数の状態を生成するステップと、生成された複数の状態を基に校正係数を導出するステップと、を備える。



【特許請求の範囲】

【請求項 1】 ネットワーク・アナライザを校正するための方法において、

少なくとも第 1 ポートと第 2 ポートとを有するネットワーク・アナライザを提供するステップと、

少なくとも 1 つのポートを有するマルチステート電子転送標準を提供するステップと、

前記ネットワーク・アナライザの前記第 1 ポート及び第 2 ポートのうちの 1 つのポートに前記マルチステート電子転送標準の前記少なくとも 1 つのポートをインターフェースするステップと、

前記マルチステート電子転送標準の前記少なくとも 1 つのポートで前記マルチステート電子転送標準をもって複数の状態を生成するステップと、

生成された前記複数の状態を基にして校正係数を導出するステップと、を備えることを特徴とするネットワーク・アナライザを校正するための方法。

【請求項 2】 複数の状態を生成する前記ステップは、複数の半導体のスイッチング・デバイスであって、各スイッチング・デバイスが所定の長さの伝送ラインによって相互接続された、複数の半導体のスイッチング・デバイスのうちの少なくとも 1 つをバイアスすることを含む、ことを特徴とする請求項 1 に記載のネットワーク・アナライザを校正するための方法。

【請求項 3】 前記ネットワーク・アナライザの前記第 1 ポート及び第 2 ポートのうちの少なくとも 1 つのポートに、所定の状態を生成するように複数の前記スイッチング・デバイスのうちの所定のものをバイアスする制御コンピュータを提供するステップ、を更に備えることを特徴とする請求項 2 に記載のネットワーク・アナライザを校正するための方法。

【請求項 4】 複数の状態を生成する前記ステップは、各スローが複素インピーダンスに接続される複数の単極複数投スイッチのうちの少なくとも 1 つをバイアスすることを含む、ことを特徴とする請求項 1 に記載のネットワーク・アナライザを校正するための方法。

【請求項 5】 前記ネットワーク・アナライザの前記第 1 ポート及び第 2 ポートのうちの少なくとも 1 つのポートに、所定の状態を生成するように複数の前記単極複数投スイッチの所定のものをバイアスする制御コンピュータを提供するステップ、を更に備えることを特徴とする請求項 4 に記載のネットワーク・アナライザを校正するための方法。

【請求項 6】 前記複数の状態は、前記ネットワーク・アナライザの前記第 1 ポート及び第 2 ポートのうちの一方又は両方で 1 ポート校正を行うための複数の複素反射係数を含む、ことを特徴とする請求項 1、2、3、4、5 に記載のネットワーク・アナライザを校正するための方法。

【請求項 7】 前記複数の状態は、2 ポート校正を行う

ために前記ネットワーク・アナライザの前記第 1 ポート及び第 2 ポートに与えられる、ことを特徴とする請求項 1、2、3、4、5 に記載のネットワーク・アナライザを校正するための方法。

【請求項 8】 前記複数の状態は、導出された前記校正係数の正確性を検証するための透過係数と反射係数とを含む、ことを特徴とする請求項 1、2、3、4、5、6、7 に記載のネットワーク・アナライザを校正するための方法。

【請求項 9】 前記半導体のスイッチング・デバイスは P I N ダイオードからなる、ことを特徴とする請求項 2、3、6、7、8 に記載のネットワーク・アナライザを校正するための方法。

【請求項 10】 前記複数の状態は、複数の複素反射係数と、低損失透過接続と、高分離状態とを含む、ことを特徴とする請求項 1、2、3、4、5、6、7、8、9 に記載のネットワーク・アナライザを校正するための方法。

【請求項 11】 前記複数の状態は、複数の複素反射係数と、低損失透過接続と、中間インピーダンスとを含む、ことを特徴とする請求項 1、2、3、4、5、6、7、8、9 に記載のネットワーク・アナライザを校正するための方法。

【請求項 12】 テストの下に挿入可能なデバイスに対して、更に、

第 1 ポート及び第 2 ポートのそれぞれが前記テストの下に挿入可能デバイスと嵌合する所定のセックスのコネクタを有するネットワーク・アナライザを提供するステップと、

マルチステート電子転送標準を提供するステップであって、その第 1 ポートが、このマルチステート電子転送標準の第 2 ポートに結合されるコネクタのセックスと反対のセックスのコネクタを有する、マルチステート電子転送標準を提供するステップと、

前記マルチステート電子転送標準の前記第 1 ポート及び第 2 ポートを前記ネットワーク・アナライザの第 1 ポート及び第 2 ポートにインターフェースするステップと、を備えることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10、11 に記載のネットワーク・アナライザを校正するための方法。

【請求項 13】 第 2 マルチステート電子転送標準を提供するステップであって、その第 1 ポートが、この第 2 マルチステート電子転送標準の第 2 ポートに結合されるコネクタのセックスと反対のセックスのコネクタをもつ、第 2 マルチステート電子転送標準を提供するステップと、

前記第 2 マルチステート電子転送標準の前記第 1 ポート及び第 2 ポートを前記ネットワーク・アナライザの前記

第1ポート及び第2ポートにインターフェースするステップと、

前記ネットワーク・アナライザの前記第1ポート及び第2ポートのうちの少なくとも1つのポートに前記第2マルチステート電子転送標準で、拡張された周波数範囲で複数の状態を生成するステップと、

生成された前記複数の状態を基にして前記拡張された周波数範囲の周波数で前記ネットワーク・アナライザの校正係数を出すステップと、をを更に備えることを特徴とする請求項12に記載のネットワーク・アナライザを校正するための方法。

【請求項14】 前記マルチステート電子転送標準によって、既知の電磁的応答特性を有する少なくとも3つの転送標準を、前記複数の状態から、選択するステップと、

前記マルチステート電子転送標準によって、選択された前記転送標準の特性を測定するための任意の順番を選択するステップと、

前記ネットワーク・アナライザで、前記マルチステート電子転送標準によって選択された順番で前記転送標準の散乱パラメータ S_{11} 、 S_{21} 、 S_{12} 、 S_{22} を測定するステップと、

前記転送標準の測定された前記散乱パラメータに対応するデータを記憶するステップと、

測定された散乱パラメータに、記憶された前記データから、前記校正係数を計算するステップと、を備えることを特徴とする請求項1、2、3、4、5に記載のネットワーク・アナライザを校正するための方法。

【請求項15】 前記ネットワーク・アナライザにおける任意の変化を周期的に監視するために、

インターフェースする前記ステップは、前記マルチステート電子転送標準を前記ネットワーク・アナライザに、複数の所定の時間に、インターフェースするステップを含み、

複数の状態を生成する前記ステップは、前記複数の所定の時間に前記マルチステート電子転送標準で複数の状態を生成するステップを含み、

校正係数を導出する前記ステップは、前記複数の所定の時間に前記ネットワーク・アナライザの校正係数を導出するステップを含み、

前記ネットワーク・アナライザにおける変化について前記校正係数を分析するステップを含む、ことを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11に記載のネットワーク・アナライザを校正するための方法。

【請求項16】 複数の状態を生成する前記ステップは、前記マルチステート電子転送標準をもって、少なくとも3つの既知の反射係数を前記ネットワーク・アナライザの前記第1ポート及び第2ポートのそれぞれに与えるステップと、前記マルチステート電子転送標準をもつ

て、前記ネットワーク・アナライザの前記第1ポート及び第2ポートのそれぞれに貫通状態を与えるステップとを含み、

導出する前記ステップは、前記マルチステート電子転送標準の前記貫通状態の散乱マトリクスを計算するステップを含む、ことを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11に記載のネットワーク・アナライザを校正するための方法。

【請求項17】 電子校正デバイスであって、第1ポート及び第2ポートを含み、前記第1ポート及び第2ポートのうちの少なくとも1つのポートがネットワーク・アナライザの第1ポート及び第2ポートに個々に結合される、電子校正デバイスにおいて、

電子校正デバイスの前記第1ポート及び第2ポートのそれぞれで複数の状態を生成するマルチステート電子転送標準を備える、ことを特徴とする電子校正デバイス。

【請求項18】 前記マルチステート電子転送標準は、複数の半導体のスイッチング・デバイスを更に備え、それぞれのスイッチング・デバイスは所定の長さの伝送ラインによって相互接続され、よってこの電子校正デバイスの前記第1ポート及び第2ポートを形成する、ことを特徴とする請求項17に記載の電子校正デバイス。

【請求項19】 前記マルチステート電子転送標準は、少なくとも2つの単極複数投スイッチを更に備え、該スイッチの各スローは複素インピーダンスに接続され且つ各極はこの電子校正デバイスの前記第1ポート及び第2ポートのうちの1つのポートを形成する、ことを特徴とする請求項17に記載の電子校正デバイス。

【請求項20】 前記所定の状態を生成するように複数の前記スイッチング・デバイスの所定のものをバイアスする制御装置を更に備えることを特徴とする請求項17、18に記載の電子校正デバイス。

【請求項21】 所定の状態を生成するように前記単極複数投スイッチのうちの少なくとも1つをバイアスする制御装置を更に備えることを特徴とする請求項17、19に記載の電子校正デバイス。

【請求項22】 前記所定の手順に応答して前記制御装置をオペレーションする制御コンピュータを更に備え、該制御コンピュータは、前記マルチステート電子転送標準によって前記ネットワーク・アナライザに与えられる状態のそれぞれを基にして前記第1ポート及び第2ポートのうちの少なくとも1つのポートから前記ネットワーク・アナライザの測定を記録し、そして、そこから前記ネットワーク・アナライザを校正するための校正係数を導出する、ことを特徴とする請求項20、21に記載の電子校正デバイス。

【請求項23】 前記複数の状態は、複数の複素反射係数と、低損失透過接続と、高分離状態とを含む、ことを特徴とする請求項17、1

8、19、20、21、22に記載の電子校正デバイス。

【請求項24】 前記複数の状態は、複数の複素反射係数と、低損失透過接続と、中間インピーダンスとを含む、ことを特徴とする請求項17、18、19、20、21、22に記載の電子校正デバイス。

【請求項25】 前記複数の状態は、1ポート校正を行うための複数の複素反射係数を含む、ことを特徴とする請求項17、18、19、20、21、22に記載の電子校正デバイス。

【請求項26】 前記スイッチング・デバイスはPINダイオードからなる、ことを特徴とする請求項18に記載の電子校正デバイス。

【請求項27】 各伝送ラインはマイクロストリップ伝送ラインからなり、所定の長さの伝送ラインのそれぞれが素数の関係を基にして選択されて、各長さの伝送ラインが何れの他の長さの伝送ラインによってもちょうどに分割できないようにする、ことを特徴とする請求項18に記載の電子校正デバイス。

【請求項28】 第2マルチステート電子転送標準を更に備え、前記マルチステート電子転送標準及び前記第2マルチステート電子転送標準の第1ポート及び第2ポートのうちの1つのポートは、それぞれ、前記ネットワーク・アナライザの前記第1ポート及び第2ポートのそれぞれに相互接続され、前記マルチステート電子転送標準及び前記第2マルチステート電子転送標準のそれぞれは、所定の前記状態を前記ネットワーク・アナライザの前記第1ポート及び第2ポートのそれぞれに提供し、前記ネットワーク・アナライザが連続的に校正されるようにする、ことを特徴とする請求項17、18、19、20、21、22、23、24、25、26、27に記載の電子校正デバイス。

【請求項29】 テストの下での非挿入可能デバイスに用いるためのネットワーク・アナライザを校正する方法において、

少なくとも2つのポートであってそれぞれが前記テストの下での非挿入可能デバイスと嵌合する所定のセックスのコネクタを有する少なくとも2つのポートを有するネットワーク・アナライザを提供するステップと、

第1マルチステート電子転送標準を提供するステップであって、その第1ポートが、この第1マルチステート電子転送標準の第2ポートに結合されるコネクタのセックスと反対のセックスのコネクタを有する、第1マルチステート電子転送標準を提供するステップと、

前記テストの下での非挿入可能デバイスと同じセックスのコネクタを有するアダプタを提供するステップと、

前記第1マルチステート電子転送標準の前記第1ポート及び第2ポートのうちの一方のポートを前記ネットワー

ク・アナライザの選択されたポートにインターフェースするステップと、

前記ネットワーク・アナライザの前記選択されたポートで複数の既知のインピーダンス値を生成するステップと、

複数の前記インピーダンス値を基にして前記ネットワーク・アナライザの前記選択されたポートで校正係数を導出するステップと、

前記ネットワーク・アナライザの前記選択されたポートから前記第1マルチステート電子転送標準の前記一方のポートの接続を解き、前記第1マルチステート電子転送標準の前記一方のポートを前記ネットワーク・アナライザの第2ポートに接続するステップと、

前記アダプタを、前記第1マルチステート電子転送標準の前記第1ポート及び第2ポートのうちの他方のポートと、前記ネットワーク・アナライザの前記選択されたポートとに、インターフェースするステップと、

前記第1マルチステート電子転送標準の前記他方のポートで複数の既知のインピーダンス値を生成するステップと、

前記アダプタの散乱パラメータを導出するステップと、前記第1マルチステート電子転送標準の前記一方のポートで前記第1マルチステート電子転送標準で複数の状態を生成するステップと、

生成された前記複数の状態を基にして前記ネットワーク・アナライザの校正係数を導出するステップと、を備えることを特徴とする校正する方法。

【請求項30】 第2マルチステート電子転送標準を提供するステップであって、その第1ポートが、この第2マルチステート電子転送標準の第2ポートに結合されるコネクタのセックスと反対のセックスのコネクタを有する、第2マルチステート電子転送標準を提供するステップと、

前記第2マルチステート電子転送標準の前記第1ポート第2ポートのうちの1つのポートを前記ネットワーク・アナライザの前記選択されたポートにインターフェースするステップと、

拡張された周波数範囲で前記ネットワーク・アナライザの前記選択されたポートで複数の既知のインピーダンス値を生成するステップと、

複数の前記インピーダンス値を基にして、前記拡張された周波数範囲の周波数で、前記ネットワーク・アナライザの前記選択されたポートで校正係数を導出するステップと、

前記ネットワーク・アナライザの前記選択されたポートから前記第2マルチステート電子転送標準の前記一方のポートの接続を解き、前記ネットワーク・アナライザの前記第2ポートに前記第2マルチステート電子転送標準の前記一方のポートを接続するステップと、

前記アダプタを、前記第2マルチステート電子転送標準

の前記第1ポート及び第2ポートのうちの他方のポートと、前記ネットワーク・アナライザの前記選択されたポートとに、インターフェースするステップと、前記拡張された周波数範囲で前記第2マルチステート電子転送標準の前記他方のポートで複数の既知のインピーダンス値を生成するステップと、前記拡張された周波数範囲の周波数で前記アダプタの散乱パラメータを導出するステップと、前記拡張された周波数範囲でかつ前記ネットワーク・アナライザの前記選択されたポートで、前記第2マルチステート電子転送標準で複数の状態を生成するステップと、生成された前記複数の状態を基にして前記拡張された周波数範囲の周波数で前記ネットワーク・アナライザの校正係数を導出するステップと、を更に備えることを特徴とする請求項29に記載の校正する方法。

【請求項31】 ネットワーク・アナライザを校正するための電子校正キットにおいて、第1マルチステート電子転送標準であって、少なくとも第1ポート及び第2ポートを有し、前記第1ポート及び第2ポートのそれぞれが所定のコネクタを有する第1マルチステート電子転送標準を備えることを特徴とする電子校正キット。

【請求項32】 電子校正キットは、挿入可能デバイス及び非挿入可能デバイスの両方を測定するネットワーク・アナライザを校正するために用いられ、更に、オスのコネクタを有する前記第1マルチステート電子転送標準の前記第1ポートとメスのコネクタを有する前記第2ポートと、第1ポート及び第2ポートを有する第1アダプタであって、前記第1ポート及び第2ポートのそれぞれがオスのコネクタを有する、第1アダプタと、第1ポート及び第2ポートを有する第2アダプタであって、前記第1ポート及び第2ポートのそれぞれがメスのコネクタを有する、第1アダプタと、を備えることを特徴とする請求項31に記載の電子校正キット。

【請求項33】 前記第1マルチステート電子転送標準の前記第1ポート及び第2ポートで複数の状態を生成するように前記第1マルチステート電子転送標準をオペレーションするため、且つ前記ネットワーク・アナライザのエラー修正係数を計算するための、ソフトウェア・パッケージを更に備えることを特徴とする請求項32に記載の電子校正キット。

【請求項34】 拡張された周波数範囲で前記ネットワーク・アナライザを校正するための第2マルチステート電子転送標準であって、オスのコネクタをもつ第1ポート及びメスのコネクタをもつ第2ポートを有し、それぞれの該コネクタが前記第1マルチステート電子転送標準のものと同一タイプであるコネクタを有する第2マルチステート電子転送標準を更に備えることを特徴とする請求項32、33に記載の電子校正キット。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願発明は、複数の複素反射係数 (complex reflection coefficient) と、低損失透過係数 (low-loss transmission coefficient) と、高分離状態 (high isolation condition) とをネットワーク・アナライザのポートで自動的に生成する方法及び装置に関する。

【0002】

【従来の技術】どのベクトル・ネットワーク・アナライザ (VNA) における測定の誤差 (エラー) も、そのVNAによって測定されたデバイスの不確実性 (uncertainty) に影響を及ぼす。それらエラーを定量化することによって、それらの影響を顕著に減少させることができる。

【0003】ネットワーク・アナライザにおける測定エラーは、ランダム・エラーとシステム的エラーとの2つのカテゴリに分けることができる。ランダム・エラーは物理的変化 (例えば、ノイズや温度変化) に起因する非反復可能な測定変化であり、従って、通常予測可能ではない。システム的エラーはテスト装置自身における反復可能な測定変化 (例えば、指向性、ソース整合 (source match)、その他) である。

【0004】VNAで「テストの下でのデバイス (device under test) 」 (DUT) (又は、テスト中のデバイス) に行われるほとんどの測定において、システム的エラーが測定の不確実性の最も重要なソースである。従って、これらのエラーをVNA測定から除去することが望まれる。これはVNAの校正を通じて達成される。

【0005】従来技術では、幾つかの既知の物理的標準 (機械的一次標準 (mechanical primary standard) として知られている) を、校正目的のために、VNAの2つのポートのそれぞれに接続することが知られている。機械的一次標準の電気的特性はその標準の既知の物理的特性 (例えば、物理的寸法、導体の材質、その他) から導かれる。VNAのシステム的エラーは、機械的一次標準のVNAで測定された応答と、機械的一次標準の既知の電気的特性との差を計算することによって判定されることができる。

【0006】しかしながら、DUTを測定する前に、正確性に対して校正のパフォーマンスがチェックされるべきである。従って、従来技術では、校正用の標準と異なる別の一次標準 (検証標準 (verification standard)) をVNAに接続することによって校正の正確性をチェックするのが一般的であった。VNAの校正が適正に行われたならば、検証標準の測定がその検証標準の既知の電気的特性にはほぼ一致する。しかしながら、検証標準の測定がその検証標準の既知の電気的特性に従わないならば、オペレータは、校正が適正に行われなかったこと又はVNAが適正に機能していないことを知る。

【0007】VNAの校正の検証を完了すると、次に、オペレータは測定のために、特性付けされていないDUTをVNAに接続することができる。次に、測定システムのシステム的エラーが、DUTの測定から数学的に除去されることができる。

【0008】測定される2ポートのDUTは、その2つのポートで、コネクタの3つの可能な構成のいずれを有することもできる。「挿入可能」デバイスは2つのコネクタを有し、それらは同じ類のコネクタでありかつ異なるセックス(sex)である。即ち、1つのコネクタはオスであり1つのコネクタはメスである。校正の間、VNAの2つのポートをケーブルの助けを得て接続することによって、貫通接続(through connection)を確立し、かつDUTの実際の測定のための測定装置の構成を変更する必要なしに、校正が行われ得るように、挿入可能な2ポートのVNAが構成される。

【0009】対照的に、測定される可逆(reversible)のDUTは、同じ類の同じセックスの2つのコネクタ(両方ともオス又は両方ともメス)を特徴とする。可逆のDUTは「挿入可能」ではない(例えば、「非挿入可能」)。なぜならば、第1のアダプタなしに、校正の間、貫通接続を確立するためにVNAの2つのポートを共に接続できないからである。しかしながら、この装置の欠点は、アダプタが校正測定の一部となることである。従って、第2のアダプタと電気的特性が同じである第1のアダプタをもってVNAを校正し、次に、第1アダプタを第2アダプタに切り換え、次に、実際のDUT測定を行うのが一般的な習慣である。この技術は測定の不確実性を試しかつ減少させるために用いられる。しかしながら、アダプタの挿入損、振幅及び位相の整合、及び電気的長さが等しくないときは、校正においてエラーが付加されてしまう。即ち、これらのアダプタ間のどのような特性の変化も、DUTの測定における不確実性を増す。また、この分野では「アダプタ除去(adapter-removal)」として知られる第2の非挿入可能の校正技術があり、この技術では上記の「アダプタ交換(adapter-swap)」方法よりも校正の正確性がよく、これは図2及び図3に示され、かつ以下に説明されている。

【0010】「非挿入可能」DUTの第2のカテゴリは、異なる類の2つのコネクタ(例えば、1つのコネクタが同軸であり他のコネクタがウエーブガイド(waveguide)である)を有する遷移的デバイス(transitional device)を備える。可逆DUTと同様に、遷移的なDUTに行われる測定についての欠点は、測定システムを校正するのに用いられた同一の構成を用いる測定システムにそのDUTを挿入することができないことである。

【0011】上記で説明したように、VNAの所定のエラー・モデル(error model)のエラー係数を決定するために、適当なコネクタの類及びセックスの3つの機械的一次標準のセットを含む校正キットを用いるのが一般

的である。これら一次標準は、通常、短絡コネクタ、シールドされた開放コネクタ、及び固定又はスライドのいずれかの整合された負荷終端(termination)からなる。固定されかつスライドする負荷は一般に機械的転送標準(mechanical transfer standard)である。校正キットはまた、通常、上記で説明したような非挿入可能DUTの「アダプタ交換」校正方法において用いるための幾つかの位相整合されたアダプタを含む。

【0012】VNAのシステム的エラーを決定するための12項エラー修正モデルを用いる全2ポート校正は、最も包括的な校正手順である。測定される挿入可能なDUTのためのエラー修正モデルの12項すべてを決定するためには、適当なセックスの3つの一次測定標準のそれぞれが適当なVNAのポートに接続され測定されねばならない。更に、VNAの2つの測定ポートが「貫通」接続を用いて共に接続されねばならない。

【0013】挿入可能なデバイスのための校正装置及び一次標準への必要な接続は、図1のAとBとに示されている。即ち、挿入可能デバイスは、エラー修正モデルの12項を決定するために、VNA112のポート114、116にそれぞれ(各ポートに3個)続いて接続され測定される最小6つの1ポート(短絡、開放、負荷)校正標準100、102、104、106、108、110と、1つの貫通接続(図1のB)とを必要とする。

【0014】また、非挿入可能デバイスは、測定されるDUTとポートのそれぞれが同じ類でかつ同じセックスのコネクタを有するアダプタ144と、一次標準とが図2及び図3に示されたようにVNAのポートに接続されることを必要とする。即ち、この技術は、最小12の一次標準120、122、124、126、128、130(図2のA)、及び132、134、136、138、140、142(図3のA)がVNAのポート114と116とに接続され測定されることを必要とする。更に、全2ポート校正を行うために、2つの貫通接続が確立されねばならない(図2のB及び図3のB)。即ち、図2及び図3を参照すると、この技術は、アダプタ144がVNA112の各ポート114及び116に交互に接続され、そして全2ポート校正が適当な一次標準を用いて行われることを、要求する。次に、アダプタの実際のSパラメータを計算するために、2つの校正セットが生成されそのアダプタの既知の電気的長さで用いられ、そして、実際のSパラメータは(まるでVNAのポート1及びポート2が実際に共に接続されていたかのように)アダプタなしで校正セットを生成するのに用いられる。即ち、非挿入可能の全2ポート校正は、最小12の一次標準の接続及び測定と2つの貫通接続及び測定とを必要とする。しかしながら、図2のB及び図3のBに示す2つの貫通接続を連続して行うことが可能であるので、貫通接続の数を1に減らせる。

【0015】更に、より正確な校正のために、整合され

た負荷終端のかわりにスライドする終端が典型的に用いられる。スライドする終端の欠点は、信頼性のある測定を得るために測定が少なくとも3つのスライド位置で行われるべきである、ということである。更に、各ポートで整合された負荷の測定に対して5つのスライド位置を用いるのが実施において一般的であり、従って合計10の整合された負荷の位置の測定をすることとなる。即ち、挿入可能なDUTの広帯域の校正に対して、最小18の測定及び7の接続が標準であり、非挿入可能な校正に対して、最小36の測定及び13の接続が標準である。

【0016】上記の校正手順の欠点は、一度に1つ各校正標準が接続され測定されねばならないことである。この手順は、適正な接続を確実にするための適当なハードウェアを用いて標準をVNAのポートに接続することと、適正な接続がなされたら、適当な測定を行うためにVNAの適当なハードウェア・キーを押すことと、を含む。更に、ひとたび測定が行われると、その標準の接続が解かれ（disconnect）、そして同じ手順で別の標準が接続されねばならない。上記で説明したように、この手順は、広帯域の挿入可能なDUTで最小7の接続及び18の測定について繰り返され、広帯域の非挿入可能なDUTを測定するために最小13の接続及び36の測定が繰り返される。更に、「アダプタ除去」方法を用いるためにはアダプタの電気的長さが既知でなければならない。又は「アダプタ交換」方法を用いるためには等しく整合したアダプタが用いられなければならない。

【0017】更なる欠点として、訓練されていないオペレータは標準（標準の外観は類似である）を間違える可能性があり、また、VNAの誤ったハードウェア・キーを操作し、誤った校正標準を測定するかもしれない。もし間違いが校正の終わりに発見されたならば、校正全体をやり直さねばならない。また、もし校正が全2ポート校正の後に、検証標準の使用を介して、オペレータによって確認されなければ、典型的にオペレータは、校正が無効となっていることや、DUTの測定が誤りであることを知らない。

【0018】更に、校正の手順によって要求される校正標準のひっきりなしの接続及び接続解除（disconnect）によってコネクタ及びポート・ケーブルが摩損し、よって、校正標準の測定における非反復性がおこる。測定におけるこの非反復性は、修正することができない校正測定への更なるエラー項を与える。

【0019】従来技術の校正の方法の更なる欠点は、手動の校正手順は厄介でありかつ遅いということである。即ち、貴重なテスト時間の多くの部分が、VNAを校正するために日毎に使われる。もし校正が正しく行われなければ、オペレータはやり直しをしなければならない。更に、アプリケーションに依存して、適当な測定の正確性を確実にするために日毎に少なくとも一度VNAが再

び校正されるべきであるという事実によって、厄介な校正が合わされる。

【0020】従って、本願発明の目的は、最高で、VNAの任意のポートへの装置の2つの接続を必要とする、VNAを校正するための方法及び装置を提供することである。本願発明の更なる目的は、誤った校正標準をVNAに接続することに起因するいずれのエラーも本質的に除去し、かつ訓練されなくても容易なVNAの校正を可能にし、校正を行うのに必要な時間を減らす、方法及び装置を提供することである。本願発明の方法及び装置に従った校正は自動的に行われることができる。

【0021】

【発明の概要】本願発明は、ネットワーク・アナライザのシステマティックエラーの決定において用いられる、プログラマブルの広帯域の高安定性の反復可能なマルチステート電子転送標準を提供するための方法及び装置に関する。

【0022】第1の実施例において、マルチステート電子転送標準（multistate electronic transfer standard）は、伝送ラインを通じて相互接続された複数のセミコンダクタ・スイッチング・デバイスからなる。各セミコンダクタ・デバイスは、プログラマブル制御回路によって順（フォワード）バイアスまたは逆（リバース）バイアスされることができる。従って、多数の周知の反射係数が、プログラマブル制御回路を経てフォワード・バイアス又はリバース・バイアスする選択されたセミコンダクタ・デバイスによって、マルチステート電子転送標準の各ポートで生成される。更に、すべてのセミコンダクタは、マルチステート電子転送標準がこのマルチステート電子転送標準のポート間に低損失透過の貫通接続を提供するように、リバース・バイアスされ得る。更に、同時にセミコンダクタ・デバイスの幾つか又は全部をフォワード・バイアスすることによって、マルチステート電子転送標準のポート間に高い分離状態を得られる。

【0023】プログラマブルのマルチステート電子転送標準が、ネットワーク・アナライザの少なくとも1つのポートに複数の複素インピーダンス（complex impedance）を提供するために、ネットワーク・アナライザの少なくとも1つのポートに接続され得る。これら周知のインピーダンスは、1ポート校正（one-port calibration）のためにネットワーク・アナライザの少なくとも1つのポートに対して校正標準として使用され得る。更に、全2ポート校正（full two-port calibration）が、マルチステート電子転送標準を用い、複数の周知の複素インピーダンスをネットワーク・アナライザの各ポートに提供し、低損失透過貫通接続をネットワーク・アナライザの2つのポート間に提供し、その2つのポート間に高い分離状態を提供することによって、行われ得る。

【0024】本願発明の上記及び他の目的及び利点は、

以下の好適な実施例の詳細な説明及び図面を参照することにより、より明確になるであろう。

【0025】

【実施例】図4は、VNAを校正するために本願発明で用いられ得る、好適実施例に従った測定装置を示す。この装置は、VNA12と、本願発明による2ポート・マルチステート電子転送標準(MSETS)(multistate electronic transfer standard)14と、コンピュータ制御装置16とを含む。コンピュータ制御装置16は、VNA12から測定されたデータを受信するための、そしてコンピュータ16のローカル又は永久メモリ領域20に記憶されたソフトウェアの援助を受けてVNA12を制御するための、VNA12へのデータ・ライン18を含む。測定装置はまた、インターフェース23とMSETS14との間の制御ライン22を含み、これによって、コンピュータ又はVNAがコンピュータのメモリに記憶された制御ソフトウェアに従ってMSETSを制御することを可能にする。更に、コンピュータ制御装置16は、オペレータと対話するためのキーボードインターフェース24を含む。この実施例ではコンピュータ制御装置16が示されているが、コンピュータの機能をVNA12に組み込むか、又は、MSETS14に直接提供される、マイクロプロセッサ又は他のハードウェア及びソフトウェア・デバイスに組み込むことができることに留意されたい。

【0026】図5は、本願発明のMSETS14に含まれるマイクロ波回路25の図である。この回路は、広帯域プログラマブル電子チューナに関連する出願人のアメリカ合衆国特許第5034708号に開示されたタイプのものである。この特許の教示をここにおいて参照によって援用する。マイクロ波回路25はPINダイオードD1〜D16とDCブロッキングキャパシタC4〜C19との、それぞれが直列の幾つかの対を含み、それら対はこの実施例に従って多種の長さのマイクロストリップ伝送ラインT1〜T17によって離されている。直列の、キャパシタC4〜C19とPINダイオードD1〜D16との組み合わせはグラウンド27に分路(shunt)されている。DCブロッキング・キャパシタC4〜C19は、グラウンドへそれぞれのダイオードD1〜D16のカソード側のRF接続を確立する。本願発明の好適な実施例において、伝送ラインT1〜T17は、10ミル(mil)(約0.25mm)の厚さで、両側が銅でラミネートされた既知の誘電基板から作られており、一側が適当な寸法にエッチングされている。このような伝送ラインが用いられるが、本願発明に従うと所与の電氣的長さを確立する同等の形式の伝送ラインの使用も意図されている。同様に、PINダイオードが用いられているが、他の形式のスイッチング・セミコンダクタ・デバイスの使用も意図されている。

【0027】図5を参照すると、DCバイアス電流が接

続J0で定期的に確立される。この電流は、好適な実施例によると、+5ボルト供給源によって確立される。このDCバイアス電流は、RFコイル・インダクタL1とRFシャント・キャパシタC2とを含むRFバイパス・ネットワークを通じて、いずれのPINダイオードD1〜D16のアノード側にも供給される。RFバイパス・ネットワークはRF信号とDC信号との相互作用を妨げる。いずれのPINダイオードD1〜D16も、制御ラインの接続J1〜J16のいずれかを経て、DC電流リターン経路をそのダイオードのカソード側に提供することによって、フォワード・バイアスにされ得る。制御ラインの接続J1〜J16を個々に制御することにより、対応するダイオードD1〜D16のいずれをもフォワード・バイアス又はリバース・バイアスにすることができる。制御ラインの各接続はまた、RF信号とDCバイアス信号との間の相互作用を妨げる、直列の、RFコイルL2〜L17及びシャントRFキャパシタC20〜C35を含むRFバイパス回路を含む。

【0028】図5において、ポート1及びポート2の入力でRF伝送ラインと直列に配置されているDCブロッキング・キャパシタC1及びC3は、PINダイオードをバイアスするのに用いられるDCバイアス信号が2ポートMSETSを出るのを妨げる。

【0029】MSETSは、そのポート1及び2の両方で広周波数帯域にわたって確立される多数の状態を許容する。これらの状態は、各ポートで多数の複素インピーダンスを呈示することと、ポート間の低損失貫通接続と、高い分離状態とを含む。更に、伝送ラインT2〜T16の長さ及び幅は、PINダイオードD1〜D16の各々の間の一意的な位相関係を確実にするように選択される。伝送ラインの電氣的長さの選択は、出願人のアメリカ合衆国特許第5034708号に説明された素数(prime number)の原理を基にしており、これをここにおいて援用する。この原理は、MSETSのいずれかのポートでのインピーダンス値の反復を最小化を提供する。即ち、素数の関係を用いることによって、MSETSのいずれかの入力ポートから各ダイオードへの合計長さが、その入力ポートから他のいずれのかのダイオードへのライン長さによって均等に分割可能でないことを、確実にする。しかしながら、本願発明に従うと他の長さの関係も用いられ得る。

【0030】図5において、マイクロ波回路は、制御ラインJ1〜J16で現れる信号を制御することによって、複素反射面を横切って広がる複数のマイクロ波インピーダンスが、MSETSの両方のポートで与えられることを、許容する。例えば、マイクロ波回路は、2つの等しい回路からなる対称の回路である、ということも考慮され得る。回路1は、伝送ラインT2〜T8と、これら伝送ライン間の対応するシャントPINダイオードD1〜D8及び直列のキャパシタC4〜C10の対とを含

む。回路2は、伝送ラインT10～T16と、対応するシャントPINダイオードD9～D16及び直列のキャパシタC12～C19の対とを含む。これら2つの回路は、DC電流供給源の接続J0及びRFバイパス・ネットワークによって電流が供給される伝送ラインT9によって結合される。この回路は、伝送ラインT2～T8及びT10～T16が伝送ラインT9について対称であるように設計されている。従って、伝送ライン長T2は伝送ライン長T16と等しく、T3はT15と等しく、T4はT14と等しく、T5はT13と等しく、T6はT12と等しく、T7はT11と等しく、T8はT10と等しい。この実施例によると、伝送ラインT9の長さは、所望されるオペレーションの最低の周波数において、各ダイオードが交互にフォワード・バイアスされそして電気的長さが測定される状態に対しては、ポート1からPINダイオードD1への往復の電気的長さとポート1からPINダイオードD14への往復の電気的長さとの間の位相が最小240度の差であるように選択される。同様に、ダイオードD3及びD16が一度に1つフォワード・バイアスされ接続がポート2になされたときにオペレーションの最低周波数で同じ位相関係が存在する。

【0031】図5において、PINダイオードは2つの状態のうちの1つでオペレーションされ得る。フォワード・バイアス状態において、PINダイオードは大変小さい抵抗（実質的に短絡）として働く。リバース・バイアス状態において、PINダイオードは、RF周波数で、大変小さいキャパシタとしてモデル化され得、従って、大変高いインピーダンス（実質的に開放）である。制御ラインJ1～J16のいずれかにDCグラウンド接続を確立することによって、適当なダイオードがフォワード・バイアスされることを確実にする。また、適当なPINダイオードがリバース・バイアスされるように、制御ラインJ1～J16のいずれかがポートJ0の電圧よりも実質的に大きい正の電圧にセットされ得る。即ち、MSETSのいずれかのポートに幾つかの異なるインピーダンスを与えることが可能である。更に、すべての制御ラインがDCグラウンドに接続されてすべてのPINダイオードがフォワード・バイアスされると、2ポートMSETSは、ポート1とポート2との間に効果のある量の分離を提供する大きな値の減衰器として働く。対照的に、すべての制御ラインが正の電圧にセットされてすべてのPINダイオードD1～D16がリバース・バイアスされると、2ポートMSETSはポート1とポート2との間の低損失貫通接続として働く。

【0032】好適な実施例において、各キャパシタC1～C3は200 pFのキャパシタンスを有し、C4～C9は100 pFキャパシタンスを有し、C20～C35は820 pFのキャパシタを有する。各インダクタは40 nHのインダクタンスを有する。各伝送ラインは約

0.762 mm (0.030") の幅と、T1=T17=約1.55 mm (0.061")、T2=T16=約0.89 mm (0.035")、T3=T15=約0.99 mm (0.039")、T4=T14=約0.89 mm (0.035")、T5=T13=約0.99 mm (0.039")、T6=T12=約0.89 mm (0.035")、T7=T11=約5.44 mm (0.214")、T8=T10=約6.17 mm (0.243")、T9=15.9 mm (0.627") の物理的長さを有する。各ダイオードは約0.38 mm×約0.38 mm×約0.127 mm (0.015"×0.015"×0.005") の周囲と2オームの抵抗及び0.1 pFのジャンクション・キャパシタンスとを有する。

【0033】図6はMSETSに含まれるデジタル回路29の図である。デジタル回路29は、コンピュータから受信された制御信号23に従って、制御ポートJ1～J16に適当なバイアスを提供する。コンピュータの制御信号23は、3つの商業的に入手可能なダーリントン・トランジスタ・アレーU1、U2、及びU7 (SN75468) によって受信される。ダーリントン・トランジスタ・アレーU1、U2及びU7は、コンピュータによる16ビットTTL信号出力を受信するように形成される。このワードは、信号ラインB0～B15上をU1のピン1～7、U2のピン1～7、U7のピン1～2にそれぞれ伝送される。U1、U2及びU7のピン8はグラウンド27に接続される。入力ラインB0～B15のいずれか上のTTLロジックのハイは、ダーリントン・アレーU1、U2又はU7の対応する出力がDCグラウンド信号を対応する出力制御ラインB0₁～B15₁に提供するようにする。出力制御ラインB0₁～B6₁はU1のそれぞれのピン16～10に接続され、B7₁～B13₁はU2のそれぞれのピン16～10に接続され、B14₁とB15₁とはU7のそれぞれのピン16と15とに接続される。このダーリントン・アレーの入力ポートのいずれかへのTTLロジックのローの入力は、対応するダーリントン・アレーの出力をイネーブルにせず、従って、対応する制御ラインB0₁～B15₁は+50ボルトの信号レベルに引き上げられ、これが対応するPINダイオードの制御ラインに与えられる。

【0034】図6において、一対の68オーム抵抗ネットワークU3及びU4が、ダーリントン・アレーU1、U2、U7の出力制御ラインB0₁～B15₁と、対応する出力制御ラインB0₂～B15₂との間に配置され、各ダイオードによって引き出され得る電流を制限するために用いられる。更に、この実施例によると、一対の1メガオーム抵抗ネットワークU5及びU6が提供されて、68オーム抵抗ネットワークの出力B0₂～B15₂に配置され、それらは+50ボルトのバイアス供給部33と直列にされている。電圧供給部33及び抵抗ネットワー

クU5及びU6は、入力するTTL信号によって選択されなかった各出力制御に対するプルアップ・ネットワークとして働き、従って、強いリバース・バイアス信号が選択されていないPINダイオードに対する各制御ラインJ1～J16に維持されることを確実にする。

【0035】図7は、従来のVNA装置におけるシステムのエラーをモデル化するのに用いられ得る2ポート12項エラー修正モデル(two-port, twelve-term error correction model)35である。図7における参照符号を説明する。Mは校正されつつあるVNAによって行われた測定を表す。Aは度量衡実験室でVNAによって行われた実際の測定を表す。Fはフォワード方向(ポート1から2ポートMSETSを見て)における測定を表し、Rはリバース方向(ポート2から2ポートMSETSを見て)における測定を示す。

【0036】従来技術で知られているように、エラー修正モデルのエラー係数を決定するには、VNAのポートへの幾つかの既知の一次標準の接続が必要である。本願発明の一実施例に従うと、VNAの各ポートへの一度の接続のみが要求される。このような接続は典型的には両方のポートに同時になされる。その後、MSETS及びコンピュータ制御装置が、VNAのポートに、以前の測定から特徴が既知である幾つかの転送標準(transfer standard)を提供する。転送標準は、複数のインピーダンスと、低損失貫通接続と、VNAポート間の高い分離の接続と、を含む。転送標準は、VNAによって測定され、この標準の以前の測定と比較され、そして次に、12項エラーモデルのエラー係数が計算される。

【0037】さらに本願発明に従うと、校正の正確性が増加され、そこでは、MSETSの両方のポートに与えられるインピーダンスの数が、未知のエラーモデルの係数を計算するために必要とされるインピーダンスの数よりも多くなり得、従って、更なるインピーダンスの測定が、計算された係数の正確性を向上させるために用いられ得る。更に、VNAのポートへは一接続のみが必要とされるので、校正に関連するいずれのランダム・エラーも実質的に減少される。即ち、本願発明を用いると、校正におけるランダム・エラー及びシステムのエラーを減少し、DUTの測定の正確性を向上することが可能である。

【0038】更に、本願発明によると、校正の速度が向上し、そこでは、MSETSとVNAとの間で最小数の接続が行われ得、そしてコンピュータ制御プログラムがオペレータの入力を必要とせず校正を自動的に制御する。本願発明の更なる利点は、特徴付けされるDUTのいずれのコネクタの形式(例えば、挿入可能、非挿入可能)も、校正の正確性が変わることなく、本願発明によ

って適応させられる。これは、挿入可能なMSETSを提供するように、MSETSに、第1ポートにオスのコネクタそして第2ポートに同じ類のコネクタのメスのコネクタを提供することによって、達成され得る。次に、この挿入可能MSETSは、完全な校正キットの一部としてオス-オス(male to male)コネクタ及びメス-メス(female to female)コネクタが供給され、それによって、測定されるDUTのすべての考えられ得る挿入可能及び非挿入可能コネクタの可能性を許容する。また、MSETSは、そのポートのそれぞれに任意のコネクタのセックス及びタイプをあつらえて備えることができる。

【0039】本願発明のMSETSの更なる利点は、校正に続いて、更なるVNAへの接続や接続を解くことの必要なしに、校正が正しく行われたことをチェックするため及び校正の正確性を確実にするために、VNAに検証標準を与えることができることである。更に、コンピュータ制御装置及びMSETSとVNAとの間の制限された接続は、校正における人間のエラーの可能性を実質的に除去する。

【0040】図5及び図8を参照して、図7の12項、エラー係数のすべてが決定される方法をここで説明する。測定されるDUTが挿入可能デバイスであるとき、1つのポート(ポート2)でオスのコネクタ120をそして第2のポート(ポート1)で同じ類のコネクタのメスのコネクタ122を有する図8に示された挿入可能MSETSが、VNAの適当なポートに接続される。図8は例として示されたものであり、挿入可能のMSETS及びVNAの考えられ得るコネクタの配置が逆にされ得ることに、留意されたい。例えば、挿入可能MSETSに、オスのコネクタがポート1でそしてメスのコネクタがポート2で提供され得る。

【0041】まず、16ビット・デジタル・ワードが図6のデジタル回路に入力されPINダイオードD15及びD16がフォワード・バイアスにされ、それによって、短絡インピーダンスを挿入可能MSETSのポート2で効果的に与え、そしてポート2を挿入可能MSETSのポート1から分離する。式1は、ポート1での測定された反射係数(S_{11k})について解くために図7の2ポート、12項エラー修正モデル35のフロー・グラフ分析(flow graph analysis)から導出される。式1において、項 S_{11A} 、 S_{22A} 、 S_{21A} 、 S_{12A} は、挿入可能MSETSによって与えられそしてVNAを用いて度量衡研究室で測定された実際の散乱パラメータである。

【0042】

【数1】

$$S_{11M} = EDF + ERF \frac{S_{11A} - ELF \text{Det}[SA]}{1 - ESF S_{11A} - ELF S_{22A} + ESF ELF \text{Det}[SA]} \quad \dots (1)$$

ここで、 $\text{Det}[SA] = S_{11A} S_{22A} - S_{21A} S_{12A}$ である。

*で式1は式2にされることが明らかである。

【0044】

【0043】式1から、 $S_{21A} = S_{12A} = 0$ の状態のもと*

【数2】

$$S_{11M} = EDF + ERF \frac{S_{11A}}{1 - ESF S_{11A}} \quad \dots (2)$$

この状態は、特に、上記で説明されたように、ダイオードD15及びD16をフォワード・バイアスすることによって達成され、ポート2がポート1から分離される。式2において、係数 S_{11A} は、ポート1で与えられる多種のインピーダンスに対して（ダイオードD15及びD16及び少なくとも他のダイオードD1～D14の1つが「オン」のときに）度量衡研究室でVNAによって測定された所定の反射係数を表す。従って、ポート1で少なくとも3つの既知のインピーダンスを与えて測定することによって、式2における3つのエラー項、フォワード指向性EDF、フォワード反射トラッキングERF及びフォワード・ソース整合ESFが数学的に解かれ得る。更に、ポート1で3つより多くのインピーダンス測*

※定して、必要よりも多くの決定された式のセットにエルミート最小和自乗フィッティング・アルゴリズム (hermitian least sum square fitting algorithm) を行うことによって、エラー係数の計算における向上した正確性が達成され得る。

【0045】図5の回路は対称であるので、ポート2で同じステップを用いることができる。式3は、図7のエラーモデルから挿入可能MSETSのポート2でフロー・グラフ分析を用いて導出された、挿入可能MSETSの測定された反射係数 S_{22M} を表す。

【0046】

【数3】

$$S_{22M} = EDR + ERR \frac{S_{22A} - ELR \text{Det}[SA]}{1 - ESR S_{22A} - ELR S_{11A} + ESR ELR \text{Det}[SA]} \quad \dots (3)$$

挿入可能MSETSのポート1でPINダイオードD1及びD2をフォワード・バイアスすることによって、ポート1が挿入可能MSETSのポート2から分離される。式3からわかるように、もし $S_{21A} = S_{12A} = 0$ であ★

30★すると、式3は式4のようになる。

【0047】

【数4】

$$S_{22M} = EDR + ERR \frac{S_{22A}}{1 - ESR S_{22A}} \quad \dots (4)$$

ダイオードD1及びD2及び少なくともダイオードD3～D16のうちの1つをフォワード・バイアスすることによって、ポート2で幾つかの所定のインピーダンスが与えられる。これらのインピーダンスは測定され、そして、式4の3つのエラー項、リバース指向性EDR、リバース反射トラッキングERR及びリバースソース整合ESRを計算するのに用いられ得る。更に、上記で説明したように、3つより多くの既知のインピーダンスを測定し、最小和自乗フィッティングアルゴリズムを用い☆

☆ることによって、計算されたエラー項の正確性が向上され得る。

【0048】式5及び式6は、図7の2ポートエラー修正モデルにおいてフロー・グラフ分析技術を用いて導出されたフォワード方向（ポート1から挿入可能MSETSをみて）及びリバース方向（ポート2から挿入可能MSETSをみて）における測定された透過係数を表す。

【0049】

【数5】

$$S_{21M} = EXF + ETF \frac{S_{21A}}{1 - ESF S_{11A} - ELF S_{22A} + ESF ELF \text{Det}[SA]} \quad \dots (5)$$

【数6】

$$S_{12M} = EXR + ETR \frac{S_{12A}}{1 - ESR S_{22A} - ELR S_{11A} + ELR ESR \text{Det}[SA]} \quad \dots\dots (6)$$

もし $S_{21A} = 0$ であるならば式5が式7のようになるの
が、式5及び式6から明らかである。 * 【0050】
* 【数7】

$$S_{21M} = EXF \quad \dots\dots (7)$$

同様に、もし $S_{12A} = 0$ であるならば式6が式8のよう
になるのが、式6から明らかである。 * 【0051】
* 【数8】

$$S_{12M} = EXR \quad \dots\dots (8)$$

これらの状態 $S_{12A} = S_{21A} = 0$ は、PINダイオードD
1～D16のすべてをフォワード・バイアスすることによ
って達成され、大きな値の減衰が挿入可能MSETS
のポート1とポート2との間に存在する。

【0052】ダイオードD1～D16のすべてがフォワ
ード・バイアスされたときに透過係数 S_{21M} 及び S_{12M}
(式7及び式8を参照)を測定することによって、
エラー項、フォワード分離EXFとリバース分離EXR
が計算され得る。

【0053】図7の12項エラー修正モデルを参照する
と、散乱係数 S_{11A} 、 S_{21A} 、 S_{22A} 及び S_{12A} は、挿入可
能MSETSの元の (original) 特徴付けの間に度量衡★

★実験室で測定された既知の散乱係数である。一測定にお
いて、PINダイオードD1～D16のすべてがリバー
ス・バイアスされた状態に対してこれらの値が測定され
る。ポート1及びポート2に対する1ポート・エラー項
は、すべてのPINダイオードがリバース・バイアスさ
れているところで、ポート1及びポート2でインピーダ
ンスを測定することによって、上記説明されたステップ
によって以前に決定されているので、エラー項、フォワ
ード負荷整合ELF及びリバース負荷整合ELRが式9
及び式10から計算され得る。

【0054】

【数9】

$$ELF = \frac{(S_{11M} - EDF) - (S_{11M} - EDF)(ESF S_{11A}) - ERF S_{11A}}{(S_{11M} - EDF)S_{22A} - (S_{11M} - EDF)(ESF \text{Det}[SA]) - ERF \text{Det}[SA]} \quad \dots\dots (9)$$

【数10】

$$ELR = \frac{(S_{22M} - EDR) - (S_{22M} - EDR)(ESR S_{22A}) - ERR S_{22A}}{(S_{22M} - EDR)S_{11A} - (S_{22M} - EDR)(ESR \text{Det}[SA]) - ERR \text{Det}[SA]} \quad \dots\dots (10)$$

更に、PINダイオードD1～D16がリバース・バイ
アスされているときに、ポート1で信号ソースを用いて
ポート1からポート2への貫通接続を測定し、そしてか
わってポート2で信号ソースを用いてポート1からポー
ト2への貫通接続を測定することによって、エラー項、☆

☆フォワード透過トラッキングETFとリバース透過トラ
ッキングETRが式11及び式12から計算され得る。

【0055】

【数11】

$$ETF = \frac{(S_{21M} - EXF) [1 - ESF S_{11A} - ELF S_{22A} + ESF ELF \text{Det}[SA]]}{S_{21A}} \quad \dots\dots (11)$$

【数12】

$$ETR = \frac{(S_{12M} - EXR) [1 - ESR S_{22A} - ELR S_{11A} + ELR ESR \text{Det}[SA]]}{S_{12A}} \quad \dots\dots (12)$$

即ち、図7の2ポート・エラー・モデルの12項のエラ 50
ー係数のすべては、上記説明されたステップを用い、ネ

ットワーク・アナライザの各ポートへの挿入可能MSE T Sの各ポートの単一の接続をもって、人間の介在なしに、計算され得る。

【0056】更に、上記説明された校正が完了すると、次に、挿入可能MSE T Sは、校正の正確性をチェックする目的のために検証標準として、校正手順の間に以前に与えられていない既知の透過係数及び反射係数をシミュレートするように用いられることができる。これは、ソフトウェアの支援を受けて、そして挿入可能MSE T Sの更なる接続や接続を解くことの必要なしに、又人間の介在の必要なしに、校正のすぐ後に行われる。挿入可能の校正を確認すると、次に、2ポート挿入可能MSE T Sが除かれて、測定のために挿入可能のDUTが接続される。

【0057】測定されるDUTが非挿入可能デバイスときは、挿入可能MSE T Sは、VNAの校正のためのアダプタと協働して用いられる。このアダプタ（図2のA及びBと図3のA及びBのアダプタ144と類似である）は必要である。なぜならば、このデバイスは挿入可能ではなく、従って、VNAの2つのポートはアダプタなしに、ケーブルの助けを得て共に直接に接続することができないからである。また、各ポートでユーザが要求する形状及びタイプのコネクタをもつMSE T Sをあつらえて作り供給でき得る。次に、上記に説明されたように、VNAのエラー係数は、以前に特徴付けされたあつらえのMSE T S及び式1～式12を用いて決定される。

【0058】上記で説明したように、提供されるキットは、挿入可能MSE T Sと、オスーオス（male-to-male）コネクタと、メスーメス（female-to-female）コネクタと、MSE T S及びVNAを制御するためのソフトウェアと、を含み、ともになって非挿入可能MSE T Sキットをなす。以下に説明される方法において、挿入可能MSE T Sとともに用いられるアダプタは、そのコネクタが、測定されるDUTのコネクタの形を複製したものであるように、選択される。

【0059】図9を参照すると、VNA装置の例が示されており、そこにおいて、測定されるDUTはそのポートの両方にメスのコネクタを有する。VNAが非挿入可能DUTと結合するために、VNAのポートの両方のコネクタ124及び126は、オスのコネクタであるようにしなければならない。同様に、図9のBを参照すると、対応するVNA装置が示されており、そこにおいて、測定されるDUTはそのポートの両方にオスのコネクタを有する。従って、VNAのポート1及びポート2の両方のそれぞれのコネクタ124及び126はメスのコネクタに形成される。

【0060】ここで、測定される非挿入可能DUTのためのVNAを校正する方法を説明する。図10のAを参照すると、本方法の第1ステップに従った校正装置が示

されている。VNAの選択されたポートと結合する挿入可能MSE T Sのポートが、その選択されたポートに接続される。図10のAにおいて、VNAの選択されたポートがポート2（116）として示されているが、しかし、選択されたポートがポート1（114）であってもよい。もし常に同じポートが利用されると、1つのルーチンがオペレータによって開発されるという点において、ポートは単に標準化のために選択される。次に、図10のAで示すように、挿入可能MSE T Sは、基準面AでVNAに複数の既知の反射係数を与えるように、1ポート・モードでオペレーションするように形成される。1ポート・モードにおけるオペレーションは、式2及び式4に関して上記説明されたオペレーションと同等である。従って、挿入可能MSE T Sの幾つかのダイオードがフォワード・バイアスされていて、VNAのポート2で幾つかの所定のインピーダンスを与えることによって、これらのインピーダンスが測定され、そして式4のエラー項EDR、ERR、ESRを計算するのに用いられる。

【0061】図10のBを参照すると、次に、挿入可能MSE T Sは、基準面AでVNAから接続が解かれ、そして向きを変えられてVNAの基準面C（ポート1）でVNAに接続される。また、測定されるDUTとして同じセックスのコネクタ130及び132をもつアダプタ128が、挿入可能MSE T SネットワークとVNAのポート2との間に挿入される。即ち、図10のBに示されるように、挿入可能MSE T S14及びアダプタ128のカスケードにされた回路は、非挿入可能MSE T Sをなす。図10のBにおいてメスーメスアダプタが一例として示されているが、これはDUTがその両方のポートにメスのコネクタを有する場合についての一例であることに留意されたい。また、DUTがその両方のポートでオスのコネクタを有する場合には、アダプタはそのポートの両方にオスのコネクタを有することもでき、VNAはその両方のポートでメスのコネクタ124及び126を有することができる。

【0062】次に、アダプタの散乱パラメータが、MSE T Sの度量衡研究室での以前の測定から既知である基準面Bでの挿入可能MSE T Sの既知の反射係数と、上記で説明した本方法の最初のステップにおいて、基準面Aでの挿入可能MSE T Sの測定から決定された1ポート・エラー修正係数とから、計算される。言い換えると、アダプタの散乱パラメータは以下のステップを用いて決定される。式2及び式4に関して説明したように、挿入可能MSE T Sは1ポート・モードでオペレーションされ、そこにおいては、基準面Bで既知の反射係数がMSE T Sによって与えられ、そして基準面AでそれらがVNAによって測定される。基準面Bで挿入可能MSE T Sによって与えられる既知の反射係数により基準面AでVNAによって測定される反射係数 S_{11}' は、次の

式で表される。

【0063】

*【数13】

$$S_{22}' = S_{22A} + \frac{S_{21A} S_{12A} \Gamma_B}{1 - S_{11A} \Gamma_B} \quad \dots\dots (13)$$

ここで、 S_{11A} 、 S_{21A} 、 S_{12A} 及び S_{22A} はアダプタの散乱係数であり、 Γ_B は挿入可能MSE T Sの既知の反射係数である。3つの既知の反射係数 Γ_B に対して基準面Aで挿入可能MSE T Sによって与えられる少なくとも3つの反射係数 S_{22}' を測定することによって、 S_{11A} 、 S_{22A} 、 S_{21A} 、 S_{12A} が決定され得る。アダプタの相反(reciprocity)によって S_{21A} が S_{12A} と等しくなる。

【0064】式13を参照する。 $S_{21A} \times S_{12A}$ のプロダクト

$$S_{21A} = S_{12A} = (W)^{1/2} = (|W|)^{1/2} e^{-j\Theta/2} \quad \dots\dots (14)$$

【数15】

$$S_{21A} = S_{12A} = (W)^{1/2} = (|W|)^{1/2} e^{-j(\Theta/2+\pi)} \quad \dots\dots (15)$$

ここで、 $|W| = W$ の絶対値、であり、 $\Theta = W$ の偏角(argument)、である。

【0066】従って、 $S_{21A} = S_{12A}$ の値を正確に決定するために、境界状態(boundary condition)が用いられる。式14及び式15の間で正しい偏角を選ぶために、同軸コネクタの位相を0ヘルツで表す適切な境界状態が用いられる。すべての商業的に入手可能なVNAは、周波数が開始点と停止点との間で掃引されると ± 180 度の間の位相(偏角)をラップ(wrap)する、ということが従来技術で知られている。(即ち、信号がディスプレイ範囲内にないとき、その信号を ± 180 度の範囲の間にラップすることにより、その信号が ± 180 度の範囲★

$$\Theta = \sum_{i=0}^2 A_i F^i = A_0 + A_1 F + A_2 F^2 \quad \dots\dots (16)$$

ここで、 A_i =多項式の係数、であり、 F =周波数、である。

【0068】また、同軸コネクタの位相角度は、周波数がDCに近付くにつれて0度に近付かねばならない、ということが知られている。従って、式14及び式15のための位相の表現の項 A_0 は、0に近いものとして選択されねばならない。即ち、位相の適当な値が決定され、そしてアダプタのSパラメータが式13を用いて計算され得る。従って、本願発明によると、校正において一部として用いられるアダプタの電氣的長さを知ることなし☆

$$\Psi = \begin{bmatrix} \frac{1}{S_{21}} & -\frac{S_{22}}{S_{21}} \\ \frac{S_{11}}{S_{21}} & \frac{S_{21} S_{12} - S_{11} S_{22}}{S_{21}} \end{bmatrix} \quad \dots\dots (17)$$

※クトをWで表すものとする。コネクタの相反の性質が与えられると、 $S_{21A} = S_{12A} = (W)^{1/2}$ となる。しかしながら、Wは複素数であり、従って、その二乗根は2つの値を持ち得る。そこにおいては、両方の値の大きさは同じであるが、互いに角度が 180 度位相ずれしている。従って、Wは式14及び式15によって表されることが出来る。

【0065】

【数14】

★内でディスプレイされる。)周波数が ± 180 度のクロスオーバーの点を横切り掃引されると偏角に 360 度を付加することによって、偏角をアンラップ(unwrap)することによって合計的位相関係を引き出すことができる。(「偏角をアンラップする」は「VNAで信号をディスプレイするためにその信号に加えられた位相を、その信号から引くことによってその信号の実際の位相を導出する」ことを意味する。)周波数の関数としてのアンラップされた偏角は、最小和自乗フィッティング・アルゴリズムを通じて次のような多項式に適合され得る。

【0067】

【数16】

☆に、非挿入可能の校正に必要なそのアダプタの散乱パラメータを計算することが可能である。

【0069】挿入可能MSE T Sの、貫通接続状態及び検証状態の散乱パラメータを基準面Aに転送するために、アダプタ、貫通接続状態及び検証状態の散乱マトリクスが、連鎖散乱マトリクス(chain scattering matrix)に変換される。この連鎖散乱マトリクスは次の式を用いて計算できる。

【0070】

【数17】

貫通接続状態においてオペレーションする、挿入可能MSETSの連鎖散乱マトリクスは、挿入可能MSETSの連鎖マトリクスをアダプタの連鎖マトリクスにかけることによって基準面Aに変換される。同様に、検証モードにおいてオペレーションする、挿入可能MSETSの連鎖散乱マトリクスは、基準面Aへの検証状態を変換す*

$$S = \begin{bmatrix} \frac{\Psi_{21}}{\Psi_{11}} & \frac{\Psi_{11}\Psi_{22} - \Psi_{21}\Psi_{12}}{\Psi_{11}} \\ 1 & -\frac{\Psi_{12}}{\Psi_{11}} \end{bmatrix} \dots\dots (18)$$

図10のBを参照する。挿入可能MSETSのネットワークのコネクタ122はVNAのポート1(114)に直接接続されているので、VNAのポート1に挿入可能MSETSによって与えられるSパラメータを変換する必要がない。従って、1ポート・モード、貫通状態及び検証状態においてオペレーションする挿入可能MSETSのSパラメータは、ここで、VNAのコネクタ124及び126において知られる。次に、挿入可能MSETSは、図9のA又はBに示されたような非挿入可能の形態のためのエラー修正係数を決定するために、上記説明した挿入可能の校正のための方法のステップを行うようにオペレーションされる。その後、挿入可能MSETS及びアダプタの両方が除かれ、そして、測定される非挿入可能DUTが測定のために挿入される。従って、本願発明を用いると、ネットワーク・アナライザの任意の1つのポートになされる最小の2つの接続をもって、測定される非挿入可能DUTのためのネットワーク・アナライザを校正することが可能である。更に、それらのステップはすべてコンピュータによって制御されるので、ユーザのエラーの可能性が除去される。更に、挿入可能MSETSは検証標準をシミュレートするので、検証標準の接続を解いたり接続したりする必要なしに非挿入可能の校正の正確性がチェックされる。更に、VNAにいずれの一次校正標準を接続する必要もなしに非挿入可能の校正が行われる。

【0072】図11を参照する。本願発明の第2実施例のMSETS14'に含まれるマイクロ波回路図が示されている。第2実施例はMSETSのオペレーションの周波数を拡張するのに用いられる。第2実施例は超広帯域MSETSをつくるために図5及び図6で示した第1実施例と関連して用いられ得る。

【0073】図11に示されたマイクロ波回路は、複数の単極複数投スイッチ(single pole, multi-throw switch)を含む。例えば、2つの単極4投スイッチ134及び136が示されている。単極4投スイッチ134の各スロー(throw)138、140、142、144と、単極4投スイッチ136の各スロー146、148、150、152とは、異なるインピーダンスに接続

するために、アダプタの連鎖散乱マトリクスによってかけられる。結果的な連鎖散乱マトリクスは、次に、次の式を用いSパラメータのマトリクスに再変換され戻される。

【0071】

【数18】

される。例えば、スロー138及び146は低損失貫通伝送ライン154によって相互接続され、スロー140及び148は開放回路に接続され、スロー142及び150短絡回路に接続され、スロー144及び152は、それぞれ、単極双投スイッチ154及び156の極(pole)155及び157に接続される。単極双投スイッチ154のスロー158と160と、単極双投スイッチ156のスロー162と164とは、それぞれが固定のインピーダンスに接続される。例えば、スロー158及び162は3dBの固定の減衰器によって相互接続され、スロー160及び164はそれぞれ固定の50オームの整合された終端に接続される。

【0074】図11において、DCブロッキング・キャパシタC1及びC2は、単極複数投スイッチをバイアスするために用いられるDCバイアス信号がMSETSを出るのを妨げるために、それぞれ、入力ポート1(170)及びポート2(172)で極166及び168と直列に接続されている。MSETSの第2実施例はまた、そのポート1(170)及びポート2(172)の両方でオペレーションの拡張された周波数帯域にわたって複数の状態が確立されることを可能にする。これらの状態は、複数の複素インピーダンスを各ポートで与えることを含み、開放、短絡、整合された終端、及び3dB減衰器を含む中間インピーダンスを含む。更に、これらの状態はポート間の低損失貫通接続を含む。貫通接続は、極166をスロー138に、そして極168をスロー146に接続することによって、ポート1とポート2との間に確立できる。更に、開放が、極166をスロー140にそして極168をスロー148に接続することによって、ポート1とポート2との間に確立できる。更に、短絡が、極166をスロー142にそして極168をスロー150に接続することによって、ポート1とポート2との間に確立できる。更に、極166をスロー144に、極155をスロー160に、極168をスロー152に、そして極157をスロー164に接続することによって、ポート1及びポート2で整合された終端(matched termination)が与えられる。そして、極166をスロー144にかつ極155をスロー158に接続す

ることによって、又は極168をスロー152にかつ極157をスロー162に接続することによって、ポート1又はポート2のいずれかに中間インピーダンスが与えられうる。

【0075】図12は、MSETSの第2実施例のマイクロ波回路を制御するための制御回路を示す図である。制御ロジックは、幾つかのアドレス可能8ビットラッチ176を含み、それらは、図11の回路の単極複数投スイッチを上記のいずれの組み合わせについても駆動するようにプログラムされている。アドレス可能ラッチによる電圧出力は、CMOSゲート178への入力であり、図11の回路の単極複数投スイッチの各制御ライン182へ2つの電圧のうちの1つを提供する。例えば、本願発明の好適実施例において、単極複数投スイッチの制御ラインに与えられる電圧は、0ボルト又は-8ボルトのうちのいずれかであり、各スイッチのスローを、それぞれ、ターンオン及びターンオフする。従って、CMOSゲートがハイ状態のとき、NPNトランジスタ180がオンにバイアスされ、そして制御ライン182での出力電圧が-8ボルトDC供給源184に効果的に接続される。また、CMOSゲートがローのとき、トランジスタはオフにバイアスされ、そして出力182が抵抗R1を介してグラウンドに接続される。本願発明の好適実施例において、抵抗R1、R2、R3はそれぞれ1.6Kオームである。

【0076】従って、図11及び図12の回路は本願発明によるMSETSの第2実施例を含む。測定される挿入可能及び非挿入可能DUTの両方のためにVNAを校*

$$e_1 = \begin{bmatrix} e_1^{00} & e_1^{01} \\ e_1^{10} & e_1^{11} \end{bmatrix} \quad \text{及び} \quad e_2 = \begin{bmatrix} e_2^{00} & e_2^{01} \\ e_2^{10} & e_2^{11} \end{bmatrix}$$

ここで、 e_1^{00} 、 e_1^{01} はポート1及びポート2の指向性であり、 e_1^{11} 、 e_2^{11} はポート1及びポート2のソース整合であり、 e_1^{01} 、 e_1^{10} 、 e_2^{01} 、 e_2^{10} はポート1及びポート2の反射トラッキングである。

【0080】MSETSの貫通状態の修正されていない

*正するために、第2実施例は第1実施例と同じ様に用いられ得る。従って、本願発明に従う超広帯域校正キットは、第1ポートでオスのコネクタそして第2ポートでメスのコネクタを有する第1MSETSと、第1ポートでオスのコネクタそして第2ポートでメスのコネクタを有する第2MSETSと、ポートのそれぞれにオスのコネクタを有する第1アダプタと、ポートのそれぞれにメスのコネクタを有する第2アダプタと、MSETSの実施例のそれぞれを制御するためのソフトウェア・パッケージと、を含む。

【0077】上記で説明した方法の両方において、散乱係数 S_{11A} 、 S_{21A} 、 S_{22A} 、 S_{12A} は、MSETSによって与えられるすべての考えられ得る状態に対して度量衡研究室で、MSETSの元の特徴付けの間に測定されなければならない。しかしながら、VNAの2ポート・システムのエラーを計算するために、MSETSによって与えられるすべての状態に対する、以下に説明する、これらの散乱係数が既知である必要のない別の方法がある。対照的に、VNAの各ポートにMSETSによって与えられる、3つの反射係数のみを最初に特徴付けし、VNAのすべてのシステムのエラー係数を計算することが可能である。

【0078】ここで図13を参照する。VNAの2ポート・エラーが、散乱マトリクス200及び202によってモデル化されうる。このエラー散乱マトリクスの変数は式19において記述される。

【0079】

【数19】

..... (19)

透過マトリクス T_A と、MSETSの実際の貫通状態に対する透過マトリクス T_A は、式20で示される。

【0081】

【数20】

$$T_m = K T_1 T_A T_2^{-1} \quad \dots\dots (20)$$

ここで、

$$K = \frac{e_1^{01}}{e_2^{01}}$$

$$T_1 = \begin{bmatrix} -\frac{\Delta_1}{t_{11}} & \frac{e_1^{00}}{t_{11}} \\ -\frac{e_1^{11}}{t_{11}} & \frac{1}{t_{11}} \end{bmatrix}, \quad T_2 = \begin{bmatrix} \frac{1}{t_{22}} & -\frac{e_2^{11}}{t_{22}} \\ \frac{e_2^{00}}{t_{22}} & -\frac{\Delta_2}{t_{22}} \end{bmatrix}$$

$$t_{11} = e_1^{01} e_1^{10}, \quad t_{22} = e_2^{01} e_2^{10}$$

$$\Delta_1 = e_1^{00} e_1^{11} - e_1^{10} e_1^{01}, \quad \Delta_2 = e_2^{00} e_2^{11} - e_2^{10} e_2^{01}$$

である。

透過マトリクス T_1 及び T_2 は、VNAの各ポートにMSETSによって与えられる3つの既知の反射係数から計算できる。MSETSの相反により、透過マトリクス T_A はユニタリー行列式 (unitary determinant) を有す *

※る。従って、式20は次のように書くことができる。

【0082】

【数21】

$$\det T_m = (K)^2 (\det T_1) (\det T_2)^{-1} \quad \text{または、}$$

$$K^2 = \frac{(\det T_m) (\det T_2)}{\det T_1} \quad \dots\dots (21)$$

式16及び上記説明の境界条件を用いて、貫通接続の電気的長さを知る必要なく、正しい値の K が決定できる。貫通状態においてオペレーションするMSETSの実際の散乱マトリクス T_A は、ここで、式22から計算でき *

※る。

【0083】

【数22】

$$T_A = K^{-1} T_1^{-1} T_m T_2 \quad \dots\dots (22)$$

$P = T_1^{-1} T_A T_2$ と定め、貫通接続の実際の散乱マトリクス (S_{THRU}) が式23から計算できる。

【0084】

40 【数23】

$$S_{\text{thru}} = \begin{bmatrix} \frac{P_{12}}{P_{22}} & \frac{\Delta P}{(P_{22})(K)} \\ \frac{K}{P_{22}} & -\frac{P_{21}}{P_{22}} \end{bmatrix} \quad \dots\dots (23)$$

ここで、

$$P = \begin{bmatrix} P_{11} & P_{12} \\ P_{21} & P_{22} \end{bmatrix} \quad \text{及び} \quad \Delta P = P_{11}P_{22} - P_{12}P_{21}$$

である。

従って、VNAの2ポート・システムのエラーは、MSETSによって、VNAの各ポートへ、3つの既知の反射係数のみを与えることによって、計算される。VNAの2ポート・システムのエラーを完全に特徴付けするために、VNAに与えられるMSETSの透過係数又は反射係数に関して更なる知識（例えば貫通状態について）を必要としない。この方法の利点は、MSETSの6つの測定のみがオペレータによってこのMSETSの初期の特徴付けの間に度量衡実験室で行われる必要がある、ということである。これによって、行われる必要のある測定の回数及び記憶される必要のあるデータの数が減らされる。更に、この方法は、より簡単な挿入可能及び非挿入可能校正を与え、従って、より速い校正プロセスを与える。

【0085】上記に説明したMSETSの実施例は2ポートのVNAを校正するのに用いられる。しかしながら、複数のポート214、216、218、220、222、224をもつデバイス210を、図14に示すマルチポート・ネットワーク・アナライザ112'で測定する必要がある。従って、マルチポート・ネットワーク・アナライザ112'（MNA）（multiport network analyzer）のシステムのエラーを特徴付けする必要がある。図15において、MNAのシステムのエラーを校正するためのマルチポート・マルチステート電子転送標準212（MMETS）のブロック図が示されている。MMETSの利点は、複数の機械的な一次標準をMNAの各ポート214、216、218、220、222、224に接続する必要がない、ということである。そのかわりに、MMETSの複数のポート230、232、234、236、238、240の各々と、MNAの複数のポート214、216、218、220、222、224との間に1度の接続が確立され得る。次に、MNAのシステムのエラーは、MNAを一連の2ポートVNAとして分析することによって決定される。

【0086】ここで、図16を参照すると、MNAのシステムのエラーを決定するための、MNAの2ポート対

のエラー・マトリクス242及び244、246及び248、250及び252が示されている。上記で説明されたように、MNAのすべてのシステムのエラーを計算するために、MNAの各ポート214、216、218、220、222、224にMMETS212の3つの既知の反射係数を、即ち、各2ポート対に対して合計6つの既知の反射係数を、与えるのみでよい。従って、どのような数のポートを有するどのようなDUTも、MNAをMMETSで校正した後に、MNAによって測定することができる。

【0087】上記で説明されたすべての方法及び実施例において、ひとたびMSETSが度量衡実験室でVNA上で測定されると、それは他のベクトル・ネットワーク・アナライザによって校正標準として用いられる。従って、MSETSが度量衡実験室で測定された状態と同じ状態をそのポートで再生成すること続けることが望ましい。

【0088】従って、本願発明の特定のな実施例に従うと、本願発明の電子回路の長期的な温度の安定性を保証するためにMSETS内にヒータが提供される。好適な実施例に従うと、温度は、回路のための箱又は他の囲いの中に配置される加熱エレメントを用いて45°Cに固定される（示さず）。

【0089】本願発明の更なる特徴は、MSETSが、ここに参照として援用する係属中の出願第07/898204号に開示された実施例を用いてVNAの高パワーの校正を行うように用いられ得る、ということである。

【0090】本願発明に従うとMSETSの更なる特徴は、MSETSが、特徴が既知であるので、VNAに加えて、他の装置とともに検証又は信頼のデバイスとして用いられ得る、ということである。例えば、このデバイスは、挿入可能MSETSを電源と電力メータ（power meter）との間に接続し、挿入可能MSETSを既知の複数の減衰値を通してステップを行い、そして、電力メータの読み取りがMSETSによって与えられる既知の減衰に従った電力の変化を反映するかどうかを見るため

に電力メータを読むことによって、電力メータの正確性を確かめるために用いられ得る。

【0091】本願発明のMSE T Sの更に他の応用は、MSE T Sがある期間にわたって任意のRF器具使用における変化を監視するのに用いられ得る、ということである。例えば、VNAのシステムのエラーが、ある期間にわたって監視され得、そしてVNAの状態の表示として用いられ得る。より特定的には、本願発明のMSE T Sは、VNAのシステムのエラーを監視するために周期的に用いられ得、そして、VNAの動作性を監視するため且つVNAに何らかの問題が発生しているかどうかを検出するために、計算されたエラー係数が統計的に分析され得る。このデータは多くのやり方で集められ得る。例えば、オペレータが、MSE T Sにつながれたモデムをもつコンピュータを用いて電話線を通じて集めることができ、よって、VNAを、そのVNAが配置されている場所にいる必要なしに監視することを可能にする。この特徴の利点は、VNAの製造者がMSE T Sを診断及び予防メンテナンス・ツールとして用いることができ、よって、問題が発生するとそれら問題が検出されることを可能とし、そして、例えば、時間を損失することが大きな問題となる製造ラインにおいて、VNAのダウン時間を最小にする、ということである。また、データの収集は、遠隔のオペレータによるものである必要がなく、定例のメンテナンス・プログラムの一部として組織内で行うことができる。

【0092】図17を参照すると、VNAを制御し校正する方法のフローチャートが示されている。まず、ユーザは、図4に示されたようなコンピュータ16に、DUTの測定が行われるための周波数を入力する(ステップ28)。次に、周波数は、校正が行われるべき周波数で決定するために、予め測定された挿入可能の校正のネットワークの周波数と、相互に関連される(ステップ30)。次に、校正を行うために、その周波数をVNAにロードすることによってVNAがセット・アップされる(ステップ32)。次に、上記に説明された方法に従って、MSE T Sの測定が行われる(ステップ34)。ひとたび測定が終了すると、エラー・モデルのエラー項が計算される(ステップ36)。次に、それらのエラー項が、測定されるDUTのための適当な周波数に改変するために用いられる(ステップ38)。次に、VNAはその初期状態に回復され(ステップ40)、そしてMSE T Sが接続を解かれ得、DUTが測定のために接続され得る。

【0093】一実施例において、制御ルーチンが、挿入可能MSE T S14及びVNA12と相互接続を有するコンピュータ16(図4)によって提供される。例えば、モデル8510ヒューレットパッカード・ネットワーク・アナライザが用いられ、そしてコンピュータがライン18を経由してIEEE-488標準コネクタを用

いる標準ポートに相互接続される。しかしながら、上記で説明したように、制御ルーチンとコンピュータ機能とを直接に2ポートMSE T S14に組み込むか、又はVNA12に別に提供することができる。

【0094】本願発明のMSE T Sの他の応用は、これを、VNAのための自己校正回路48を導出するためにVNAテスト・セットの内部に配置できることである。図18を参照すると、2つの本質的に同一のMSE T S50及び52がVNAのカブラ54、55、56、57のうしろに配置され、VNAテスト・セットのポート1及びポート2に反射係数を与えるように制御される。また、これらMSE T Sは、VNAのカブラ54、55、56、57のまゝに配置することもできる。この実施例では、2つのMSE T Sを一度校正して、その後この2つのMSE T Sを自己校正VNAとして用いることが可能である。即ち、最初に自己校正VNAを特徴付けすることが可能であり、次に、その後、単に自己校正VNAのポート1とポート2との間に貫通接続を行うことによって、VNAが用いられる各回にVNAを自己校正することが可能である。

【0095】自己校正VNAの実施例は、校正するのが特に困難である任意の媒体上のDUTを測定するのに用いられるフレキシブル・ネットワーク・アナライザとして、特に都合がよい。例えば、自己校正VNAを、オンウエハ(on-wafer)測定のためのVNAを校正するのに用いることができる。これは、単に、VNAのポートに結合されるオンウエハ・プローブを校正標準の貫通の部分に置き、VNAを以下に説明する自己校正ルーチンをとおして走らせることによって行われる。即ち、自己校正VNAは、オンウエハかつ固定物の測定のためのVNAを校正する、冗長でしばしば大変困難な、仕事を除くために用いられる。

【0096】図18を参照する。自己校正VNAを特徴付けするための最初の校正の手順が、デバイスの基準面58で校正を行うことによってなされる。これは、各MSE T Sを通して低損失条件を確立するために、各MSE T SのすべてのPINダイオードをリバース・バイアスすることによってなされる。次に、信号源68からの信号が、スイッチ62の適当な位置を選択することによってポート1に与えられる。出力MSE T SのPINダイオードは、異なるインピーダンスについて、ステップを通して行うために、フォワード・バイアスされる。出力MSE T S52によって与えられた多種のインピーダンスからの結果としての反射係数は、デバイスの基準面58で測定され、それによって、出力MSE T S52を特徴付けする。

【0097】同様に、入力MSE T S50が、出力MSE T SのすべてのPINダイオードをリバース・バイアスし、RF信号をポート2に送るようにスイッチ62の位置を切り換え、入力MSE T S50のPINダイオー

ドを多種のインピーダンスを通してステップを進めてデバイスの基準面58で反射係数を測定することによって、特徴付けされる。

【0098】上記で説明された校正ステップにより、ひとたび自己校正VNAが最初に特徴付けされると、次に、MSE T Sが、VNAのポート1又は2に何度も接続をしたり接続を解いたりする必要なしに、また人間の介入の必要なしに、VNAを自己校正するために以下に説明されるステップに従って多種のインピーダンスを通してステップを進めることができる。上記で最初に特徴付けたように、自己校正VNAの自己校正手順のステップは、一実施例に従うと以下のものである。

【0099】(1) VNAのポート1とポート2との間に貫通接続を確立し、(2) 出力MSE T S 52によって与えられる3つのインピーダンスを測定することによって、指向性E D F、ソース整合E S F及び反射トラッキングE R Fのエラー項をポート1で決定し、(3) これらインピーダンス S_{11A} の既知の初期値を基にかつ上記で説明した式2を用いてエラー項を計算する。

【0100】次に、(4) 入力MSE T Sを最初に特徴付けされた多種の既知のインピーダンスを通してステップを進め、そして上記で説明したようにエラー項を計算するために式4を用いることによって、デバイスの基準面58で与えられる反射係数を測定することによって、指向性E D R、ソース整合E S R及び反射トラッキングE R Rのエラー項をポート2で決定する。

【0101】次に、(5) 入力MSE T Sと出力MSE T Sの両方のPINダイオードをすべてリバース・バイアスし、そして上記で説明した式9及び式10を用いることによって、フォワードE L FとリバースE L Rの負荷整合エラー項を決定する。式9及び式10において、 $S_{11A} = S_{22A} = 0$ 及び $S_{21A} = S_{12A} = 1$ である。なぜなら、いま、MSE T Sのかわりに、VNAのポート間に貫通接続があるからである。

【0102】次に、(6) 両方のMSE T SのすべてのPINダイオードがリバース・バイアスで、フォワード S_{21A} 及びリバース S_{12A} の透過係数を測定する。ここで、フォワード分離E X F及びリバース分離E X Rを除いて、式11及び式12のすべてのパラメータが知られる。このネットワーク・アナライザの技術において、エラー項E X F及びE X Rの計算をわざわざせず、また、VNAのポート1とポート2との間の分離状態の測定をわざわざしないのが慣例である。従って、項E X F及びE X Rは0にセットされ得、そして、フォワード透過トラッキングE T F係数及びリバース透過トラッキングE T R係数が、式11及び式12を用いて計算され得る。

【0103】また、ポート1とポート2との間の分離の測定が、ポート1とポート2との間の貫通接続を解き、入力MSE T S及び出力MSE T SのすべてのPINダイオードをリバース・バイアスすることによって、行わ

れる。次に、以前に説明した式7及び式8を用いてエラー項E X F及びE X Rが計算できる。エラー項E X F及びE X Rが知られると、式11及び式12を用いてエラー項E T F及びE T Rが計算できる。即ち、すべてのエラー項が、図18に示した実施例で計算され得る。更に、DUTの測定を行うためにポート1とポート2との間のケーブルの接続が解かれるべきであるので、上記で説明した技術は別のステップを必要としない。

【0104】図19は、図18の実施例に関して上記で説明したのと同じ様式で利用され得るVNAのための自己校正回路60別の実施例である。しかし、VNAのポート1及びポート2が信号源68からの配線67に接続されたスロー63及び65に接続されるように構成された単極双投スイッチ64及び66を用い、従来の校正技術を利用する初期の校正が行われるところが異なる。入力MSE T S 72及び出力MSE T S 70は、それぞれ、50オームの値をもつ整合された終端Rを経由してグラウンド27に接続される。その後、上記のステップを用いて自己校正ルーチンが行われる。そこにおいては、単極双投スイッチは、既知のインピーダンスを確立するのに用いられるMSE T Sに接続される。言い換えると、単極双投スイッチ62のスロー73が、信号源68に接続され、単極双投スイッチ64の極65が、出力MSE T S 70（スロー75）に接続され、出力MSE T S ネットワーク70の特徴付けをするようにする。同様に、単極双投スイッチ62のスイッチ73が、信号源68に接続され、単極双投スイッチ66の極63が、入力MSE T S 72（スロー77）に接続され、入力MSE T S 72の特徴付けをするようにする。その後、図18の実施例に関して上記で説明したステップを用いて自己校正ルーチンが行われる。

【0105】本願発明の複数の実施例を上記で説明したが、それらは例示的なものであって本願発明を制限するものではなく、単なる例として示されたものであることが、当業者には明らかである。多数の変更及び他の実施例が当業者の考える範囲にあり、それらは本願の請求項によって定めた本願発明の範囲に含まれると考えられる。

【図面の簡単な説明】

【図1】図1のA及びBは、従来技術の方法に従って測定される挿入可能なデバイスのための、ベクトル・ネットワーク・アナライザの校正を示す図である。

【図2】図2のA及びBは、従来技術の方法に従ってVNAの2つのポートの各々で「アダプタ除去」技術を用いて測定される非挿入可能なデバイスのための、ベクトル・ネットワーク・アナライザの校正を示す図である。

【図3】図3のA及びBは、従来技術の方法に従ってVNAの2つのポートの各々で「アダプタ除去」技術を用いて測定される非挿入可能なデバイスのための、ベクトル・ネットワーク・アナライザの校正を示す図である。

【図4】図4は、本願発明に従った校正システムの図である。

【図5】図5は、本願発明に従ったマルチステート電子転送標準のマイクロ波部分の一実施例の詳細な図である。

【図6】図6は、図5のマルチステート電子転送標準の回路をオペレーションするためのデジタル制御回路の詳細な図である。

【図7】図7は、本願発明に従ったマルチステート電子転送標準とともに用いられる2ポート12項エラー修正モデルのフロー図である。

【図8】図8は、マルチステート電子転送標準への接続を示す図であり、ここにおいて、測定されるDUTは挿入可能デバイスである。

【図9】図9のA及びBは、マルチステート電子転送標準に行われる接続を示し、ここにおいて、測定されるDUTは非挿入可能なデバイスである。

【図10】図10のA及びBは、本願発明に従って非挿入可能なデバイスのために、VNAを校正するためにマルチステート電子転送標準に行われる接続を示す。

【図11】図11は、本願発明のマルチステート電子転送標準の第2の実施例を示す図である。

【図12】図12は、図11のマルチステート電子転送標準をオペレーションするための制御回路の図である。

【図13】図13は、VNAと関連するエラー・マトリクスを示す図である。

【図14】図14は、マルチポート・ネットワーク・アナライザ及びマルチポート・マルチステート電子転送標準への及びそれらの間の接続を示す図である。

【図15】図15は、マルチポート・マルチステート電子転送標準のブロック図である。

【図16】図16は、マルチポートVNAを構成する複数の2ポート・エラー・マトリクスを示す図である。

【図17】図17は、本願発明に従って校正係数を得るためのコンピュータ制御手順を示すフローチャートである。

【図18】図18は、本願発明に従った一対のマルチステート電子転送標準を用いる自己校正VNAの図である。

【図19】図19は、本願発明に従った自己校正VNAの別の実施例である。

【符号の説明】

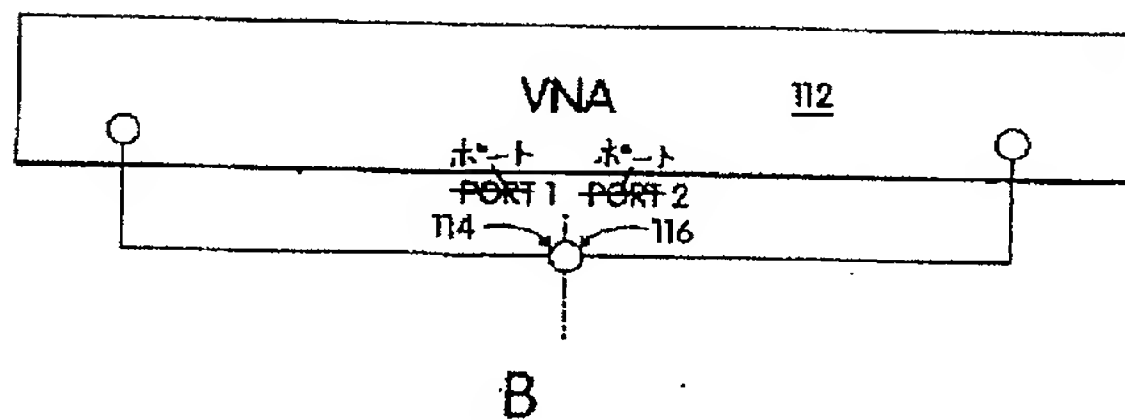
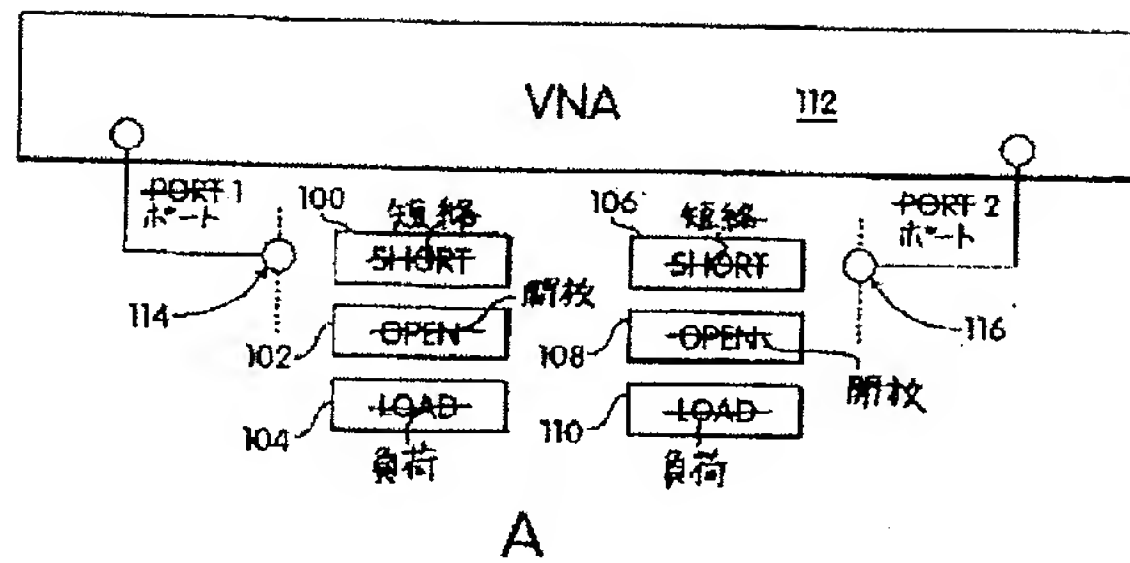
12、112 ベクトル・ネットワーク・アナライザ
14 マルチステート電子転送標準
16 コンピュータ制御装置
18 データ・ライン
20 メモリ
22 制御ライン
23 インターフェース(図4)、制御信号(図6)
24 キーボード

25 マイクロ波回路
27 グラウンド
33 バイアス供給部
50、72 入力MSETS
52、70 出力MSETS
58 基準面
60 自己校正回路
62 スイッチ
63、65、155、157、166、168 スイッチの極
64、66、154、156 単極双投スイッチ
67 配線
68 信号源
73、75、77、138、140、142、144、146、148、150、152、158、160、162、164 スイッチのスロー
100、102、104、106、108、110、120、122、124、126、128、130、132、134、136、138、140、142 校正標準(図1、図2、図3)
112' マルチポート・ネットワーク・アナライザ
114、116 ベクトル・ネットワーク・アナライザ
112のポート
120、122、124、126、130、132 コネクタ(図8、図9、図10)
128、144 アダプタ
134、136 単極四投スイッチ
154 伝送ライン
170、172 ポート
176 アドレス可能8ビットラッチ
178 CMOSゲート
180 NPNトランジスタ
182 制御ライン
184 DC供給源
200、202 散乱マトリクス
210 デバイス
212 マルチポート・マルチステート電子転送標準
214、216、218、220、222、224 マルチポート・ネットワーク・アナライザのポート
230、232、234、236、238、240 マルチポート・マルチステート電子転送標準のポート
242、244、246、248、250、252 エラー・マトリクス
A、B、C 基準面
B0、B15、B0、B15、出力制御ライン
C1、C2、C3、C4、C19、C20、C35 キャパシタ
D1、D16 PINダイオード
J0 接続

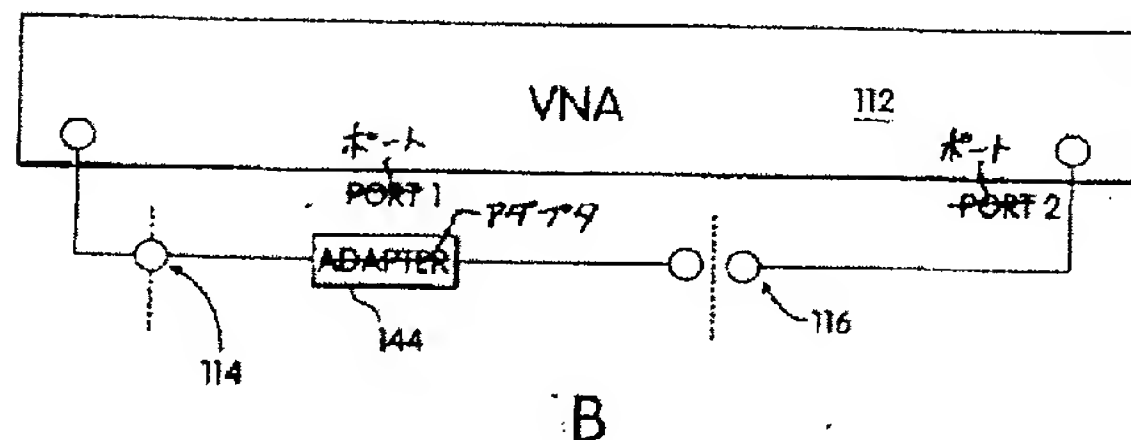
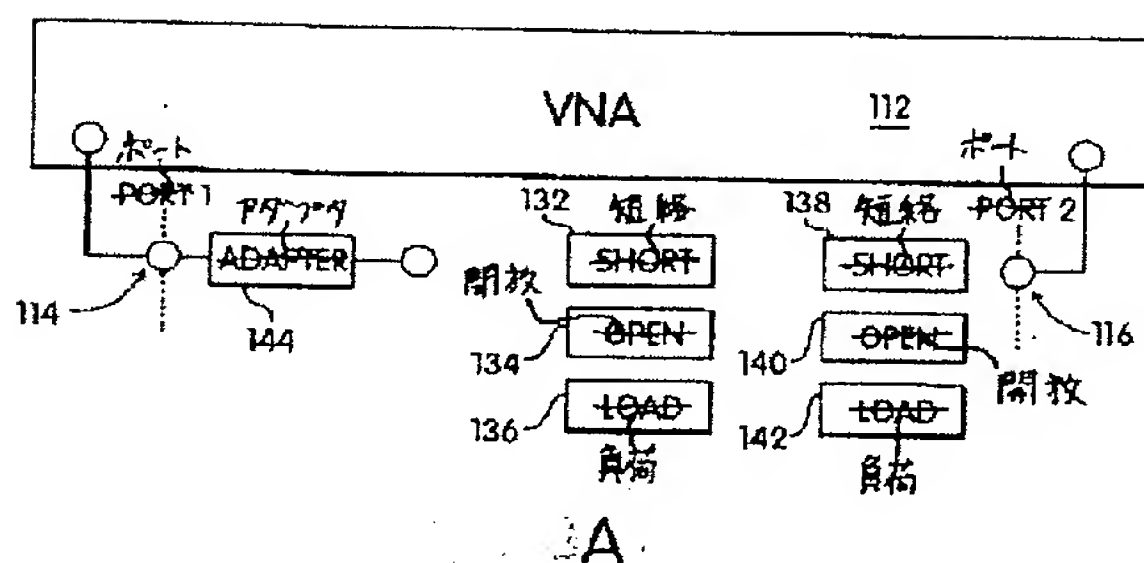
41

J1~J16 制御ライン接続
 L1 RFコイル・インダクタ
 L2~L17 RFコイル
 R1、R2、R3 抵抗

【図1】



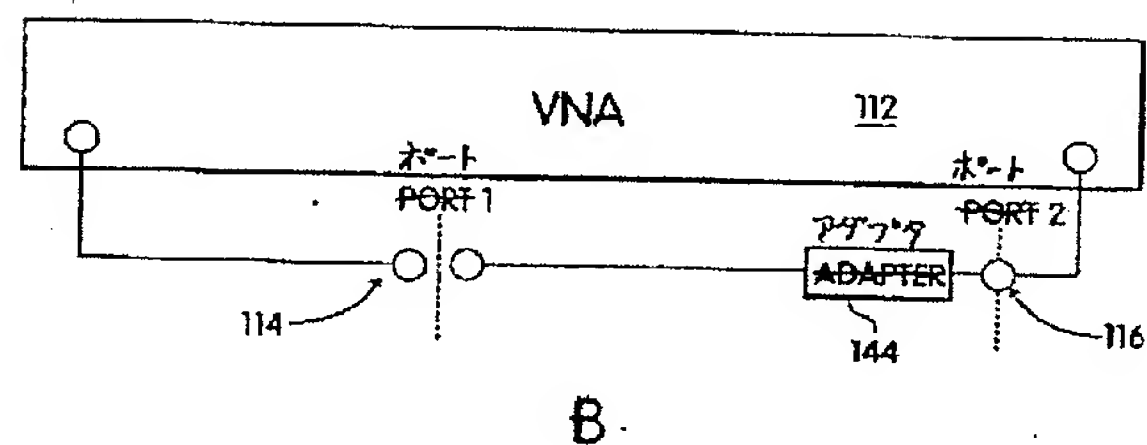
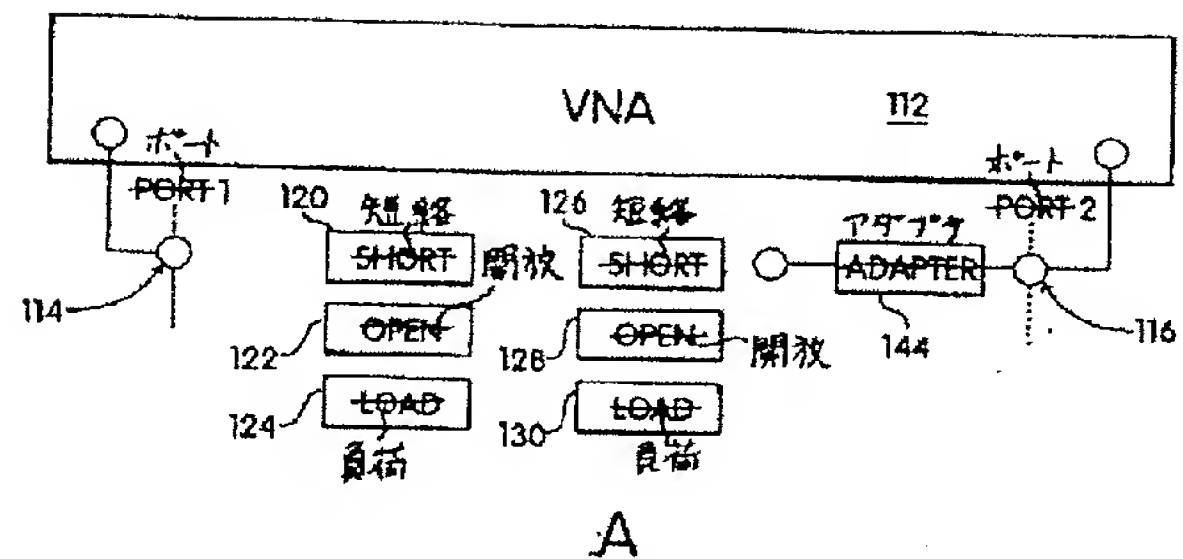
【図3】



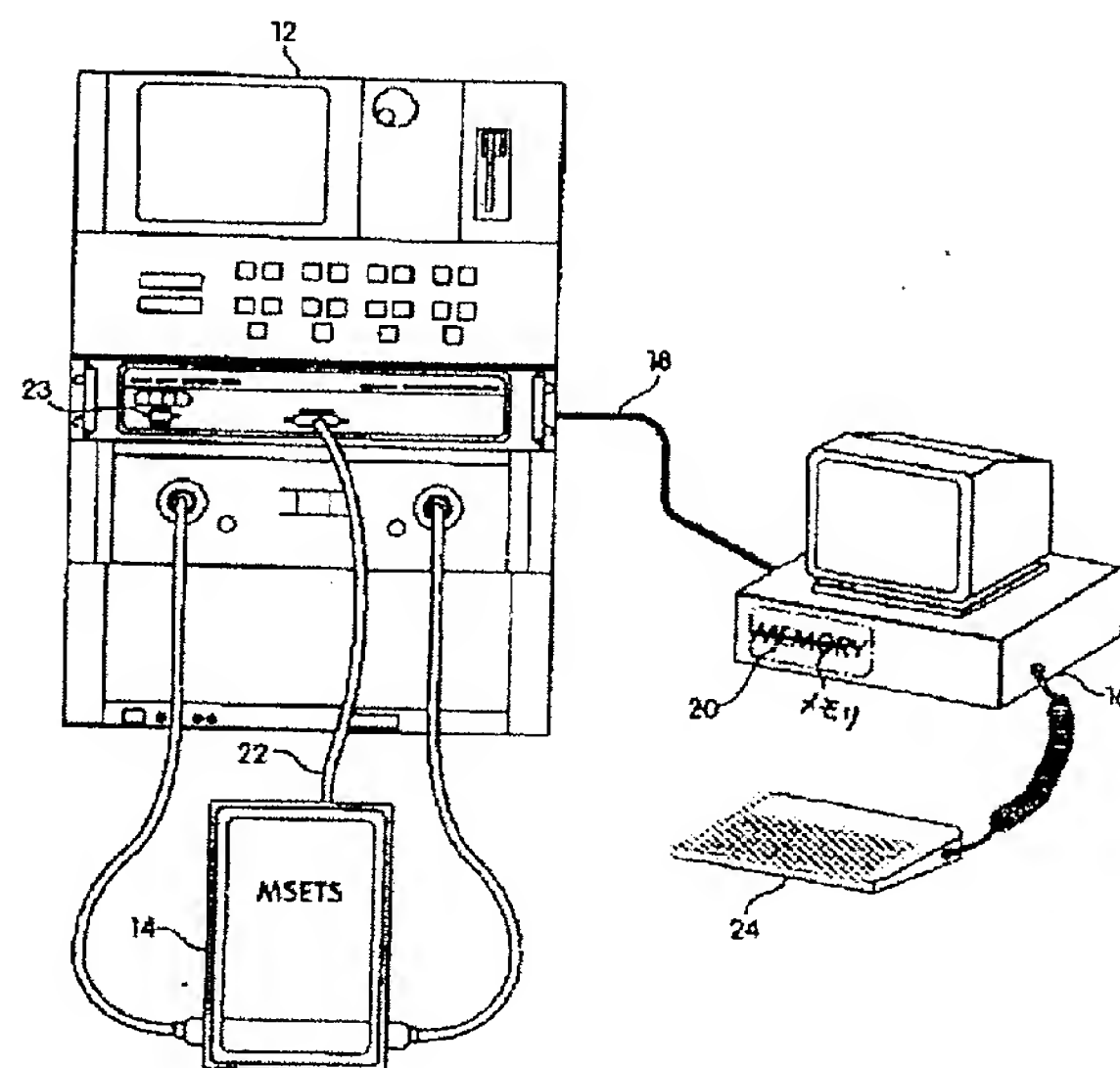
42

* T1~T17 マイクロストリップ伝送ライン
 U1、U2、U7 ダーリントン・トランジスタ・アレ
 * U3、U4、U5、U6 抵抗ネットワーク

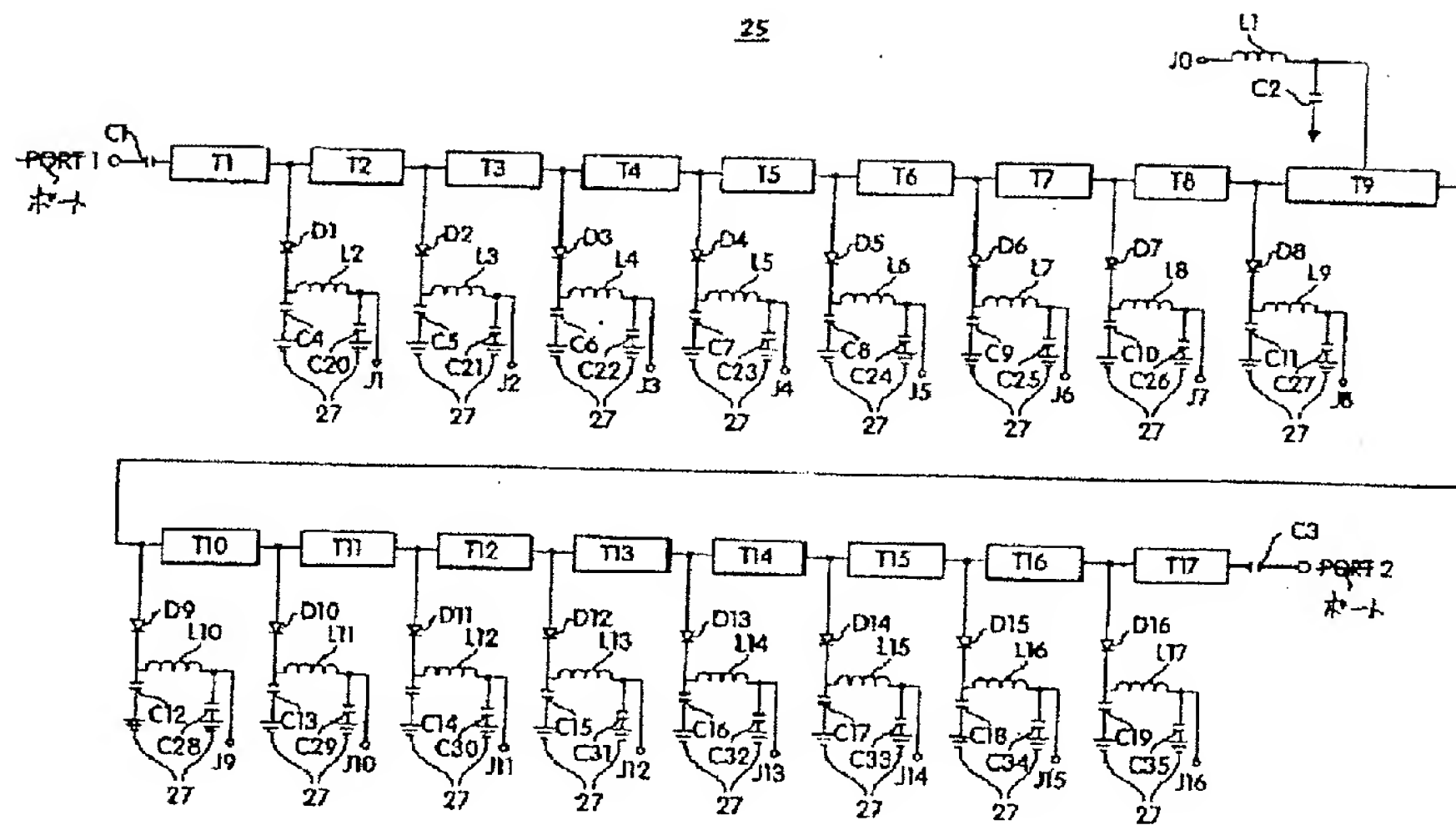
【図2】



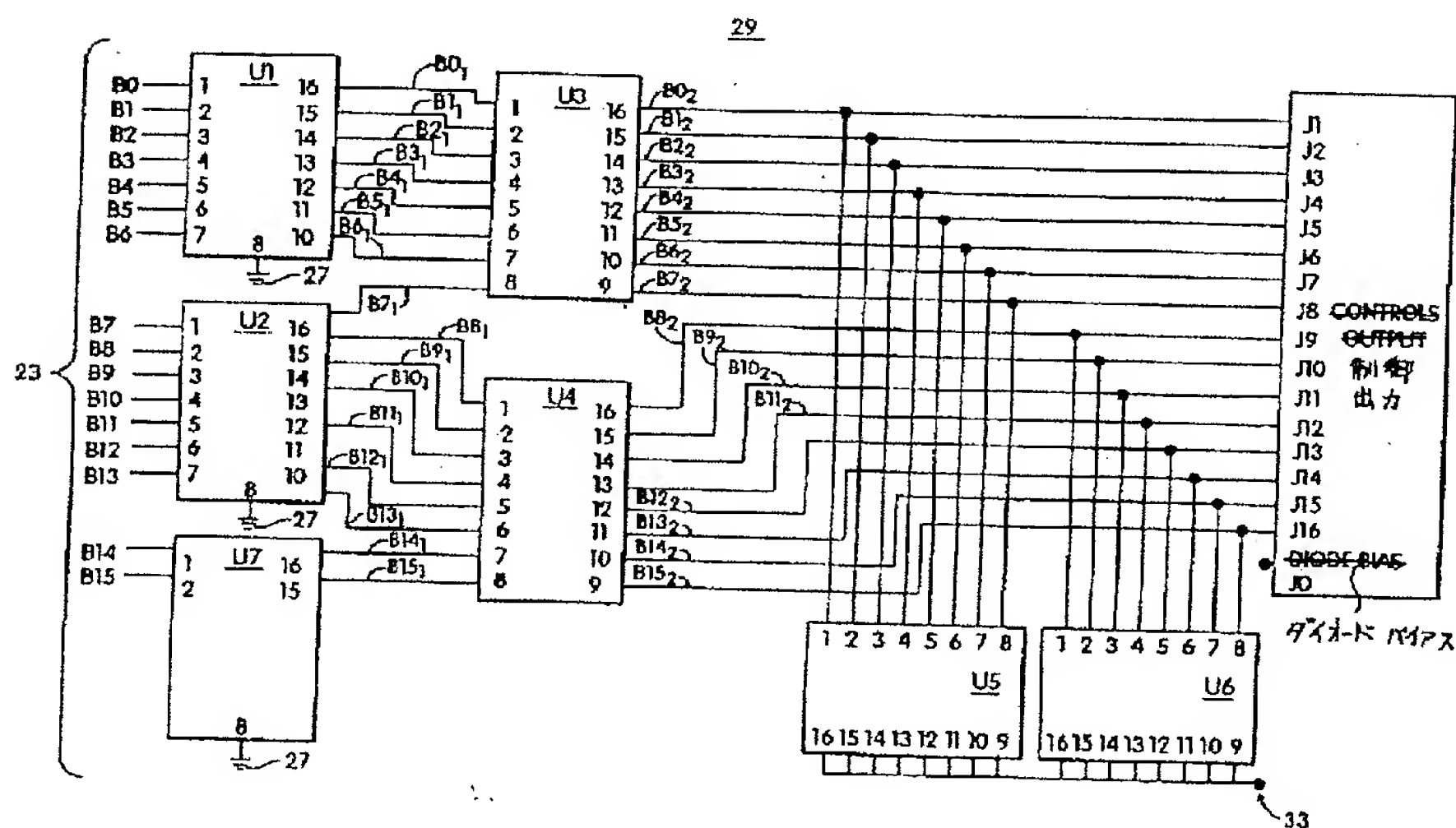
【図4】



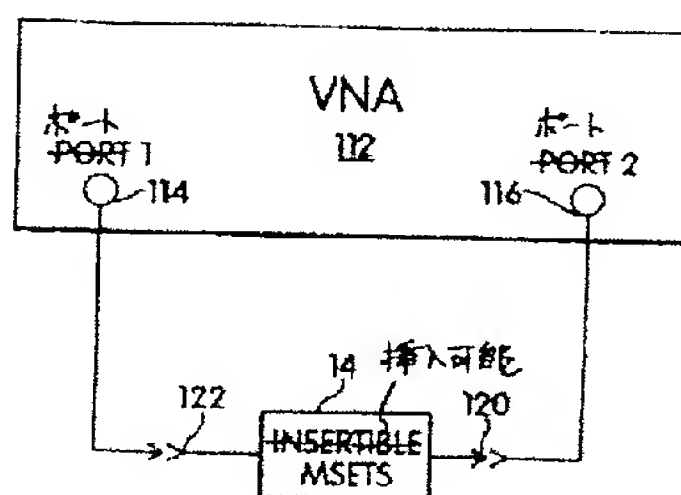
【図5】



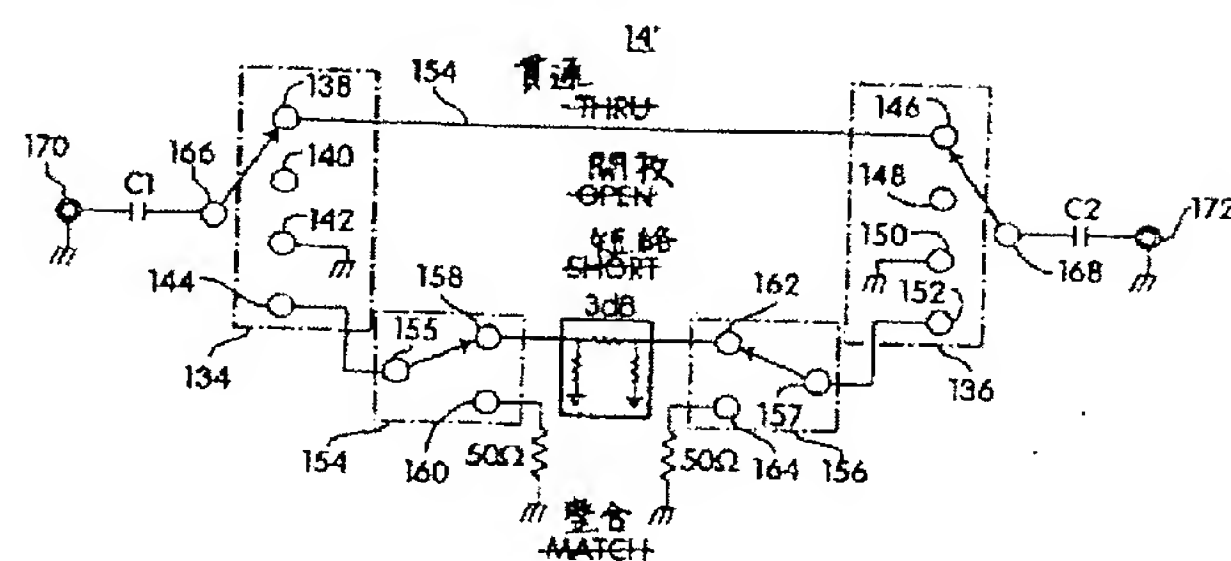
【図6】



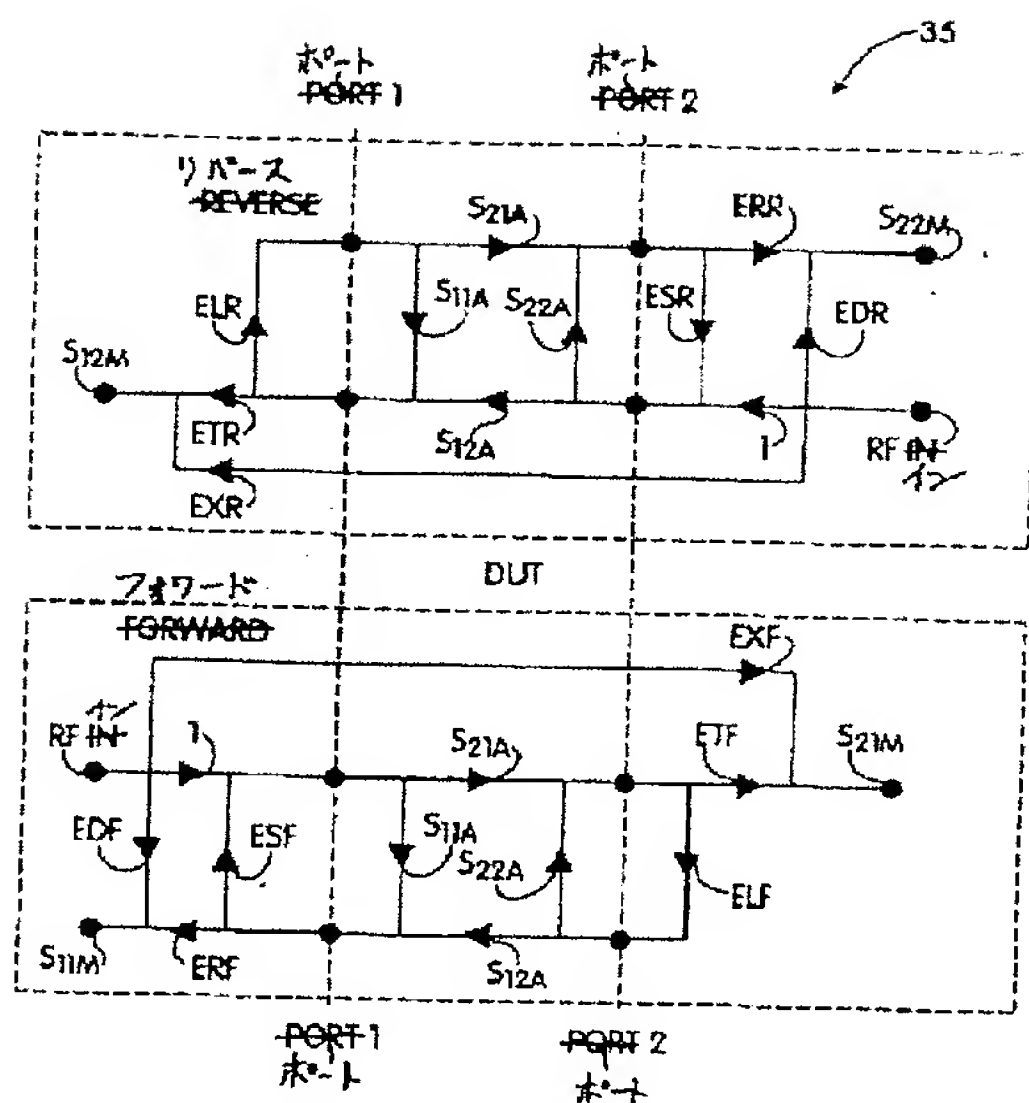
【図8】



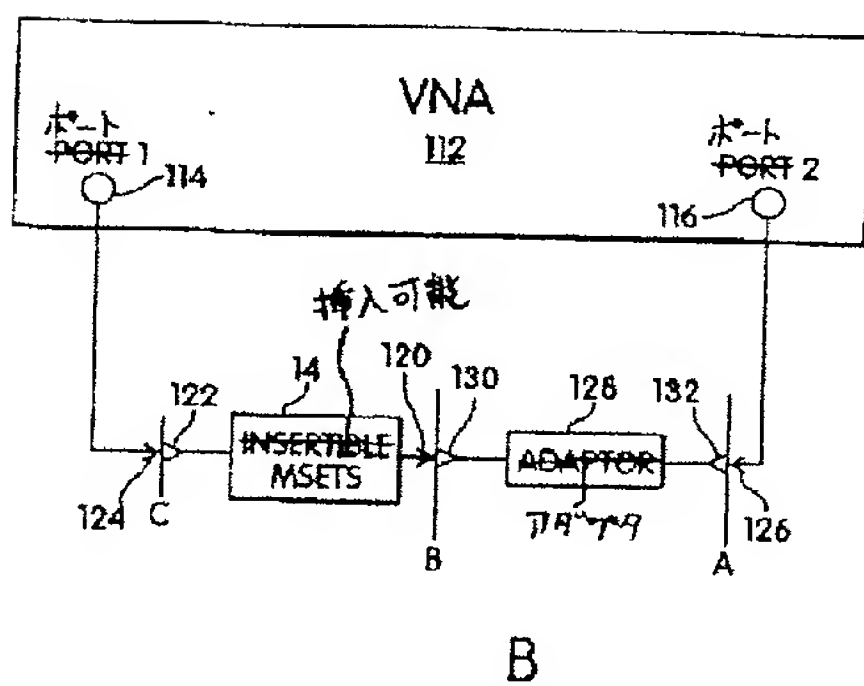
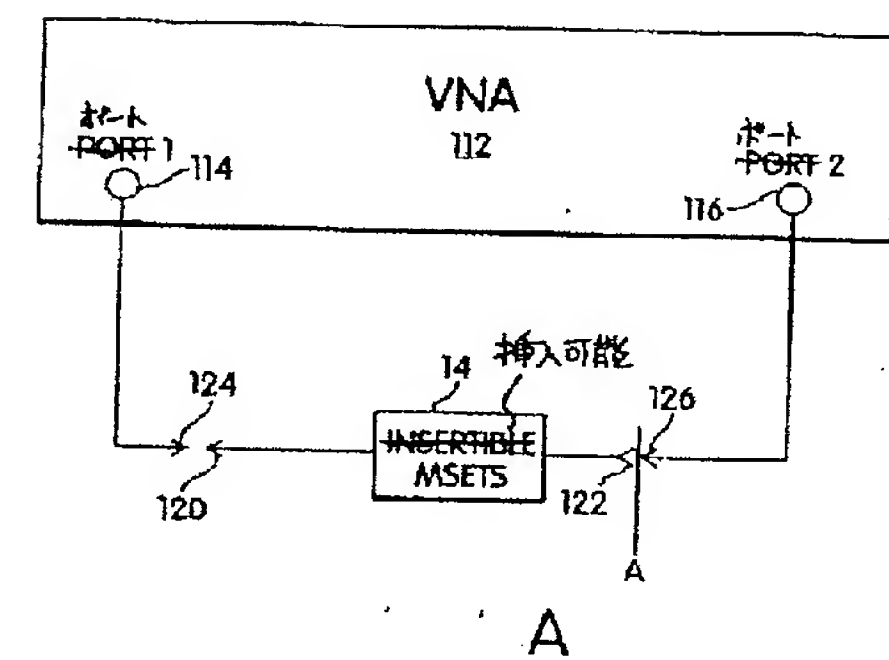
【図11】



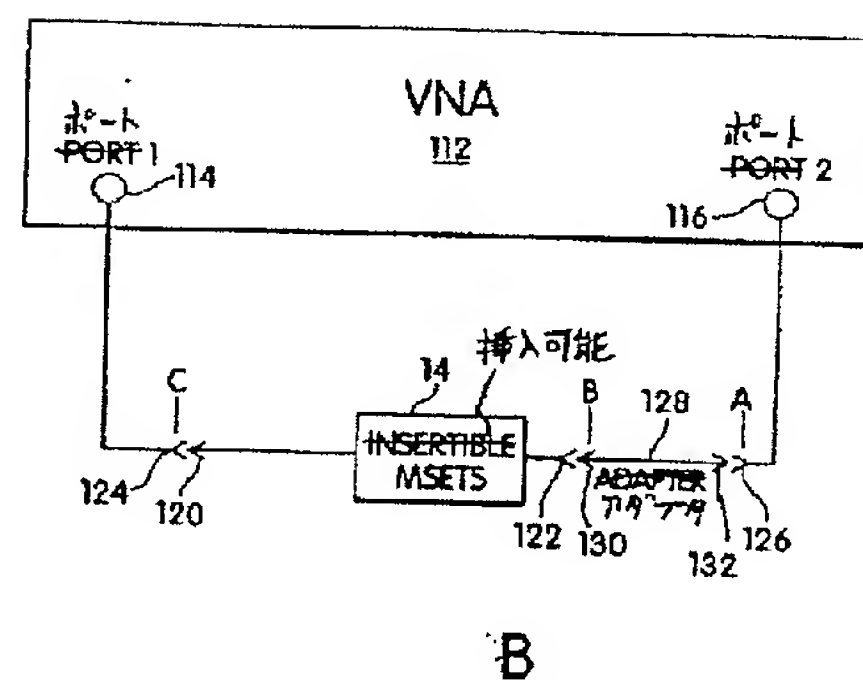
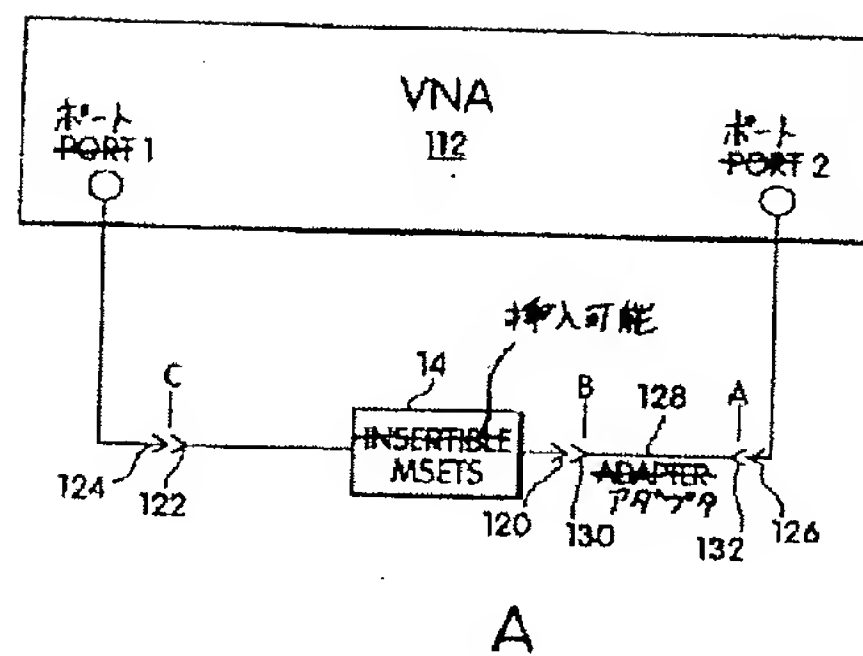
【図7】



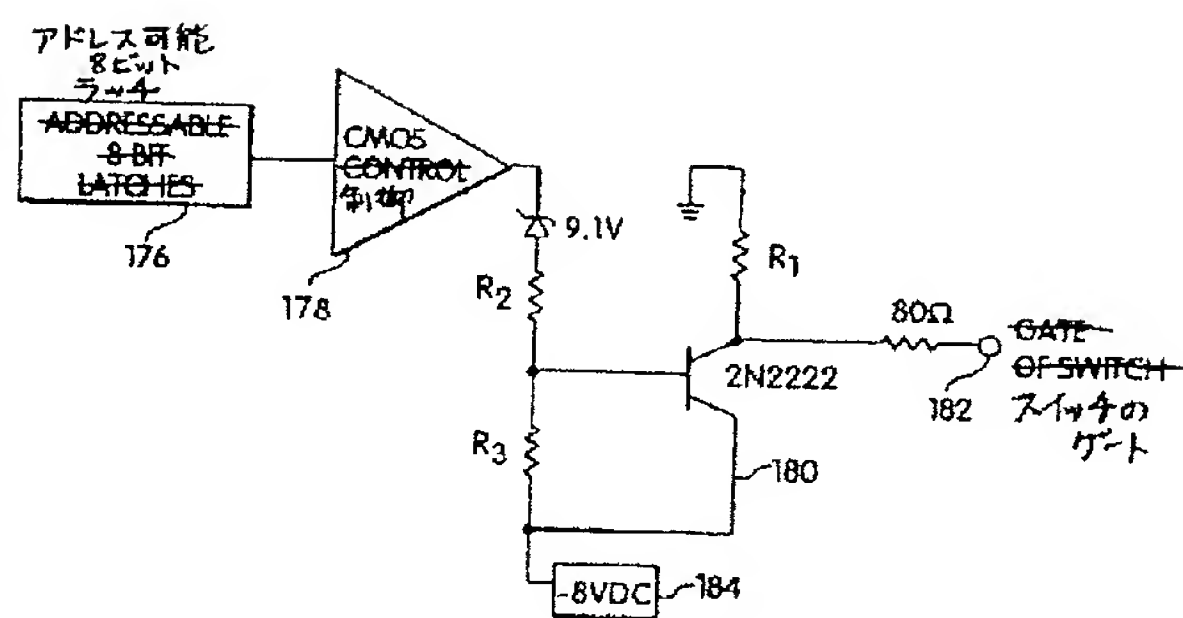
【図10】



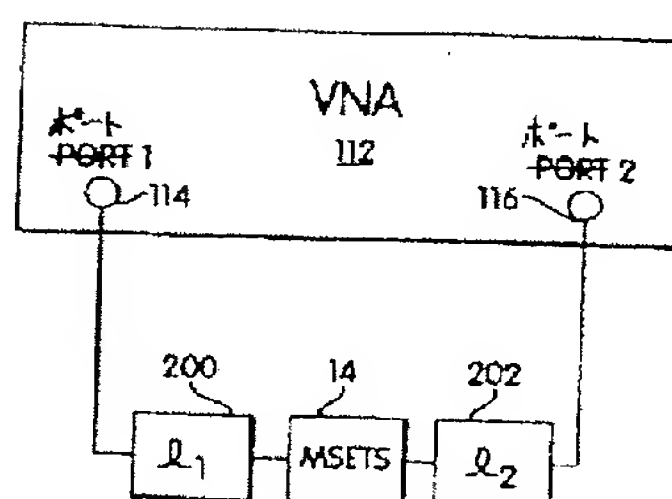
【図9】



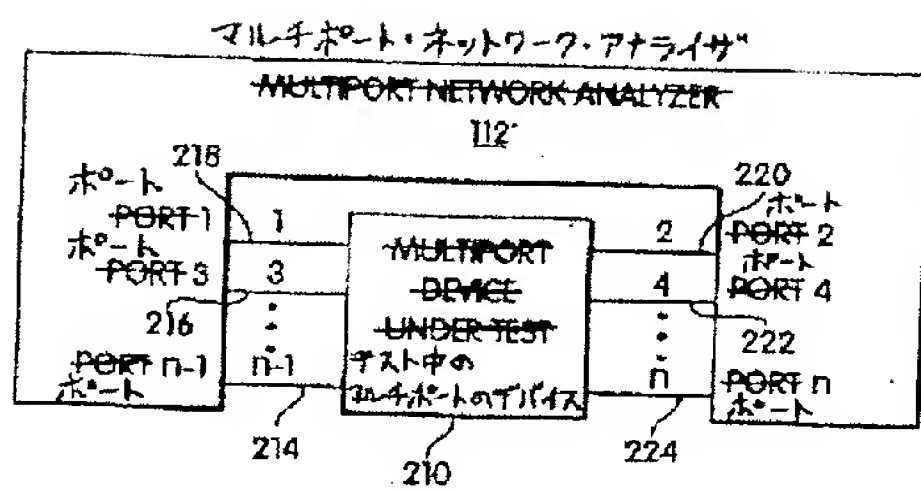
【図12】



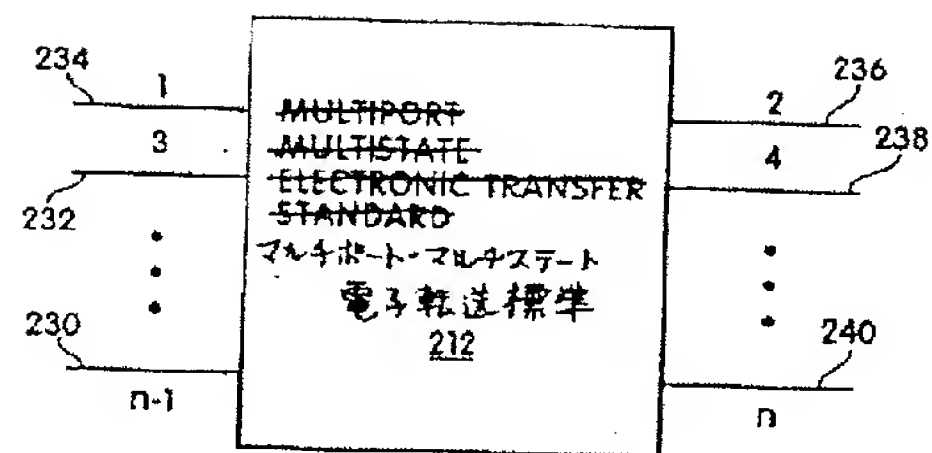
【図13】



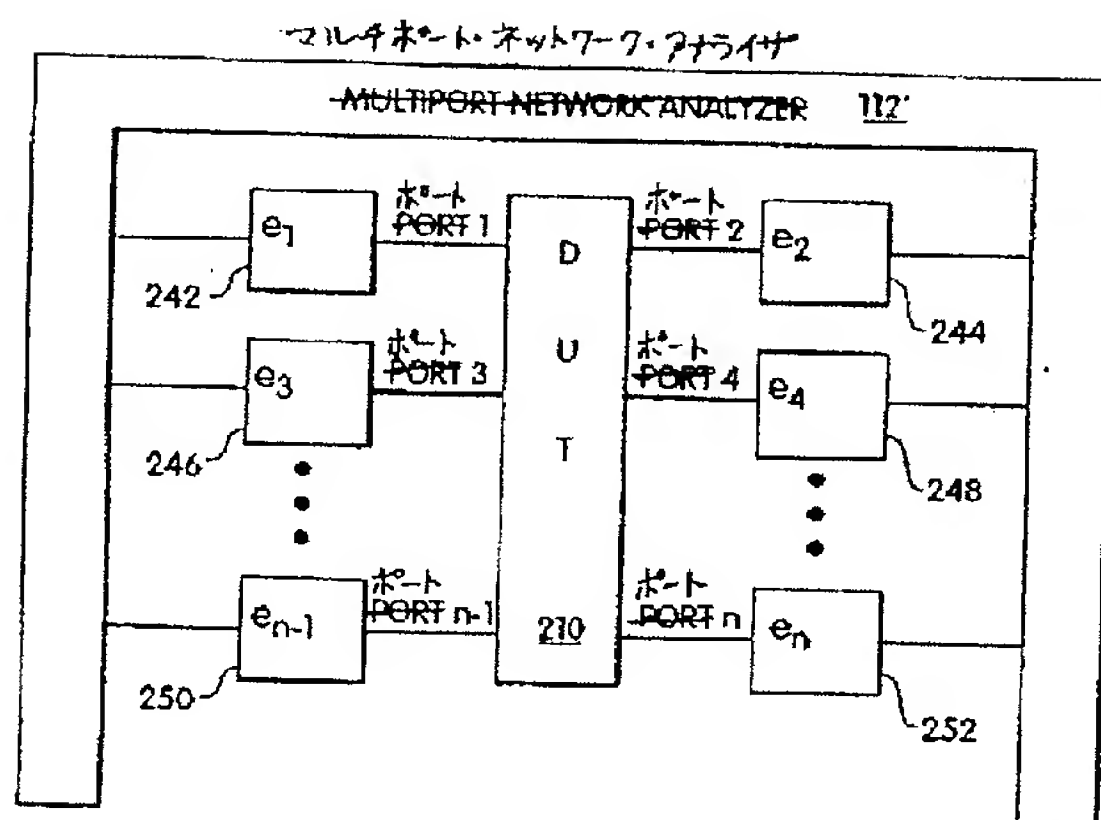
【図14】



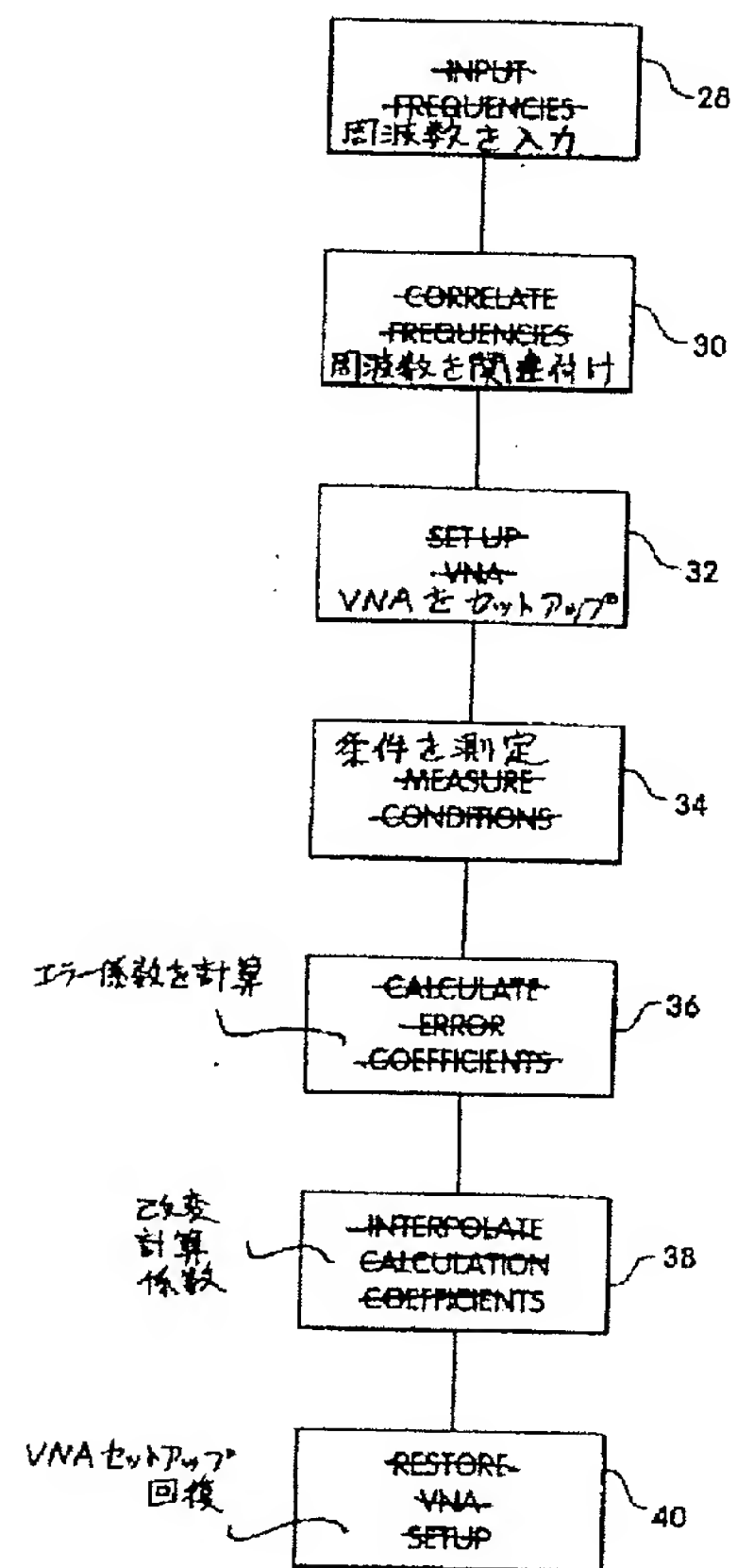
【図15】



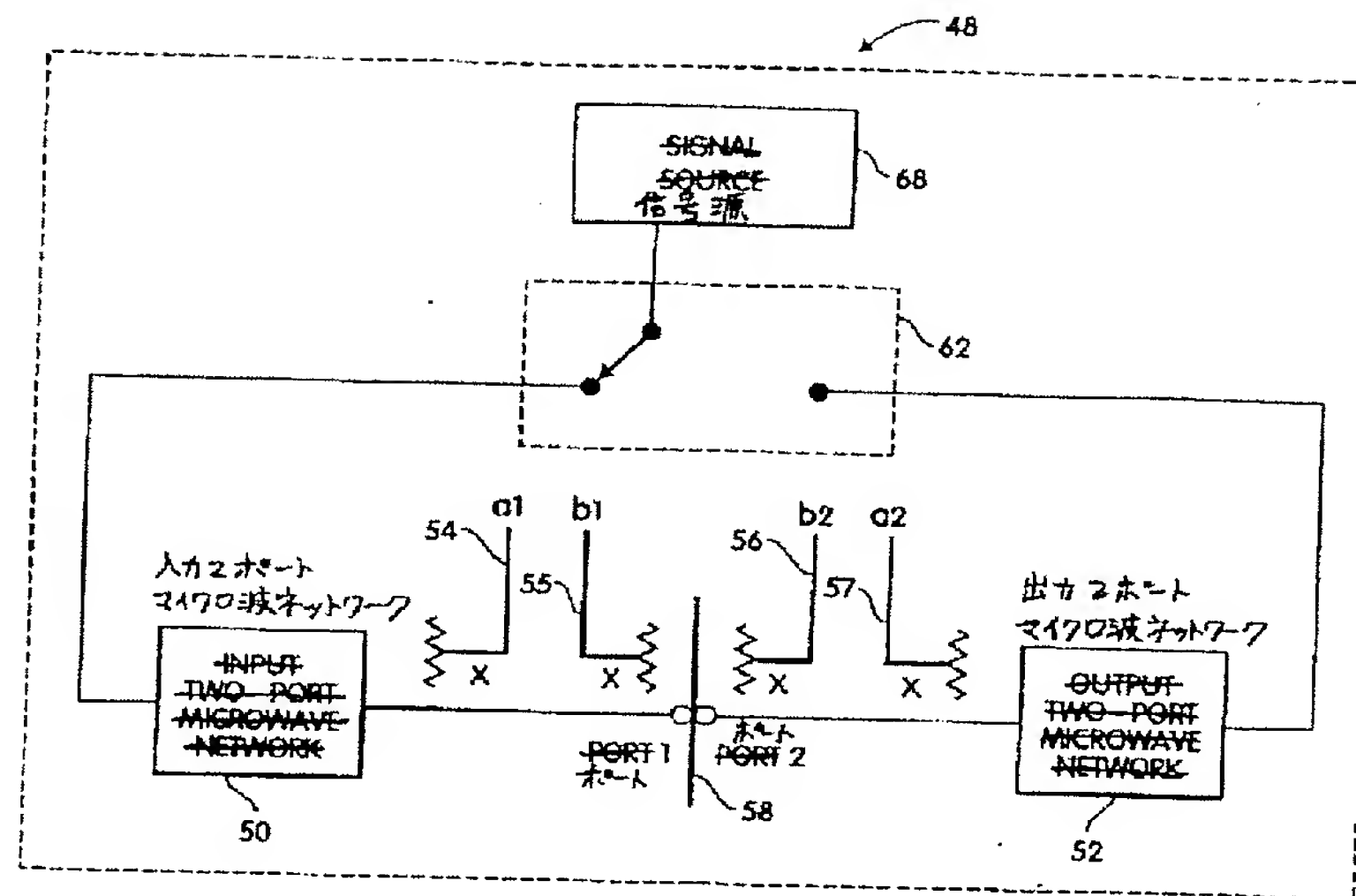
【図16】



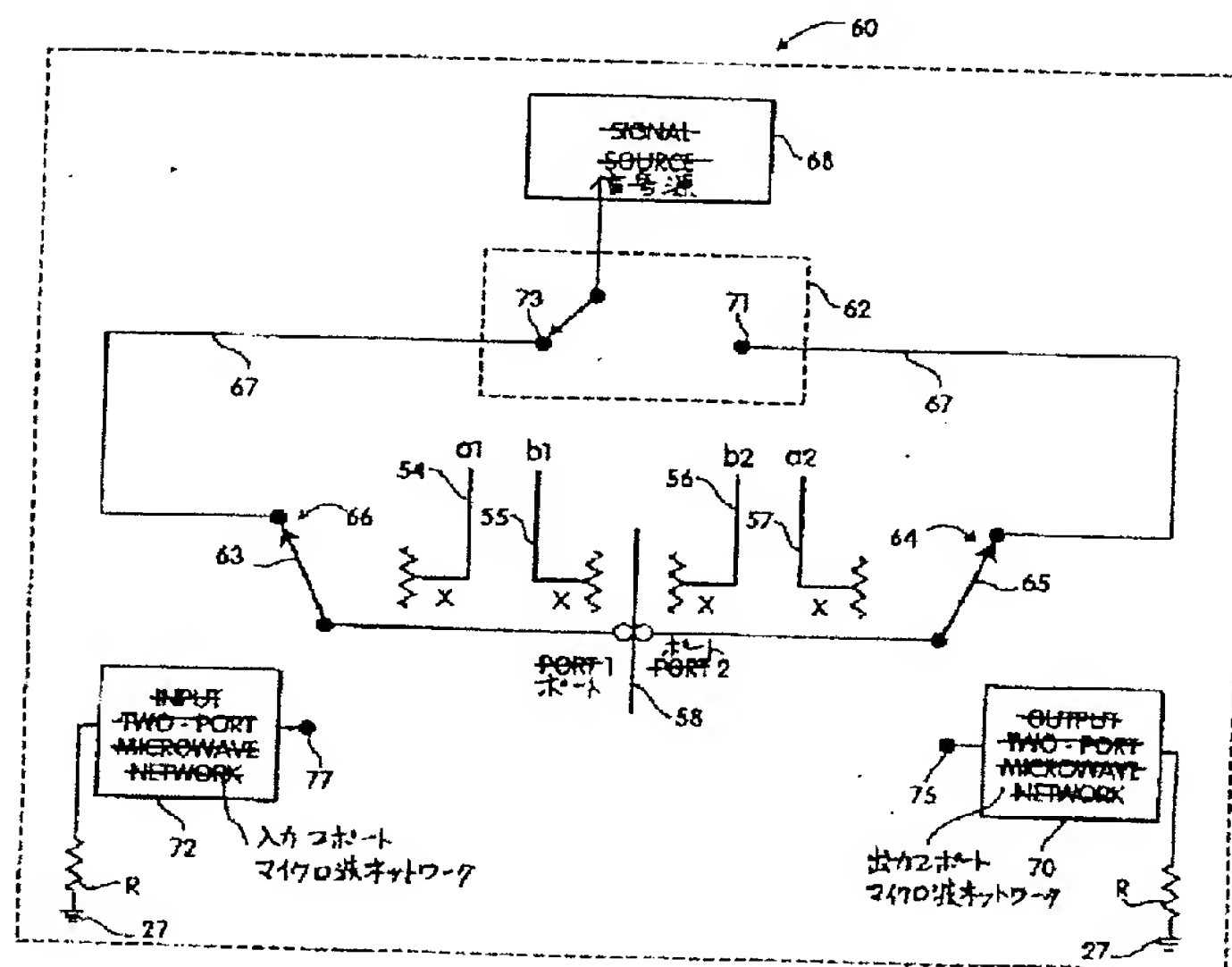
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 マイケル・ティー・ファルシネリ
アメリカ合衆国マサチューセッツ州01810,
アンドーバー、アザリー・ドライブ 6

(72)発明者 ビーター・ブイ・フィリップス
アメリカ合衆国マサチューセッツ州01453,
レオミンスター、メイン・ストリート
1233

【公報種別】特許法第 1 7 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 1 区分
 【発行日】平成 1 3 年 1 2 月 1 4 日 (2 0 0 1 . 1 2 . 1 4)

【公開番号】特開平 7 - 1 9 8 7 6 7
 【公開日】平成 7 年 8 月 1 日 (1 9 9 5 . 8 . 1)
 【年通号数】公開特許公報 7 - 1 9 8 8
 【出願番号】特願平 6 - 1 1 0 0 1 5
 【国際特許分類第 7 版】

G01R 27/28
 35/00

【 F 1 】

G01R 27/28 Z
 35/00 J

【手続補正書】
 【提出日】平成 1 3 年 5 月 2 4 日 (2 0 0 1 . 5 . 2 4)

【手続補正 1 】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】
 【特許請求の範囲】

【請求項 1】 ネットワーク・アナライザのポートに結合できる少なくとも第 1 ポートを備える校正デバイスであって、
 少なくとも 1 つの基準面に対して前記ネットワーク・アナライザを校正するために複数の状態を生成するマルチステート転送標準を備え、前記複数の状態は、校正手順の間の前記ネットワーク・アナライザの何れかのポートへの更なる校正標準の機械的な接続または接続解除の制限を受けずに生成される、校正デバイス。

【請求項 2】 請求項 1 に記載の校正デバイスであって、前記複数の状態は、1 ポート校正を行うために前記ネットワーク・アナライザの第 1 ポートに与えられる複数の複素反射係数を含む、校正デバイス。

【請求項 3】 請求項 1 に記載の校正デバイスであって、前記ネットワーク・アナライザの第 1 ポートおよび第 2 ポートへ接続できる第 1 ポートおよび第 2 ポートを含む校正デバイス。

【請求項 4】 請求項 3 に記載の校正デバイスであって、前記マルチステート転送標準は複数のスイッチング・デバイスを更に備える、校正デバイス。

【請求項 5】 請求項 4 に記載の校正デバイスであって、前記複数の状態を生成するように複数の前記スイッチング・デバイスの所定のものをバイアスする制御装置を更に備える校正デバイス。

【請求項 6】 請求項 5 に記載の校正デバイスであって、

所定の手順の実行に応答して前記制御装置を動作させるプロセッサを更に備え、該プロセッサは、前記状態のそれぞれに基づいて前記ネットワーク・アナライザの測定を記録し、そこから前記ネットワーク・アナライザを校正するための校正係数を導出する、校正デバイス。

【請求項 7】 請求項 6 に記載の校正デバイスであって、前記制御装置は、少なくとも幾つかの前記状態に対して、記録した値と測定した値を比較し、前記測定した値は、前記マルチステート転送標準により生成された前記所定の状態に基づいている、校正デバイス。

【請求項 8】 請求項 3 に記載の校正デバイスであって、前記複数の状態は、複数の複素反射係数と、低損失透過接続と、高分離状態とを含む、校正デバイス。

【請求項 9】 請求項 3 に記載の校正デバイスであって、前記複数の状態は、2 ポート校正を行うために前記ネットワーク・アナライザの前記第 1 ポートおよび前記第 2 ポートに与えられる複数の複素反射係数を含む、校正デバイス。

【請求項 1 0】 請求項 9 に記載の校正デバイスであって、前記 2 ポート校正を行うための前記複数の複素反射係数は、前記ネットワーク・アナライザの前記第 1 ポートおよび前記第 2 ポートのそれぞれに結合される 3 つの複素反射係数を含む、校正デバイス。

【請求項 1 1】 請求項 3 に記載の校正デバイスであって、前記マルチステート転送標準は少なくとも 2 つの単極複数投スイッチを備え、各スローは複素インピーダンスに接続され、各極は回路の終端を形成し、前記回路の各終端は、それぞれに、前記マルチステート転送標準の前記第 1 ポートおよび前記第 2 ポートの 1 つに結合される、校正デバイス。

【請求項 1 2】 請求項 3 に記載の校正デバイスであって、前記複数の状態は検証標準を更に含む、校正デバイス。

【請求項 1 3】 請求項 3 に記載の校正デバイスであって、

て、前記マルチステート転送標準は複数のPINダイオードを更に備え、それぞれが所定の長さの伝送ラインによって相互接続され、前記校正デバイスの前記第1ポート及び第2ポートを形成する、校正デバイス。

【請求項14】 請求項13に記載の校正デバイスであって、各伝送ラインはマイクロストリップ伝送ラインからなり、伝送ラインの所定の長さのそれぞれが素数の関係を基にして選択されて、伝送ラインの各長さが何れの他の伝送ラインの長さによってもちょうどに分割できないようにする、校正デバイス。

【請求項15】 請求項3に記載の校正デバイスであって、これがネットワーク・アナライザ校正システムに組み込まれ、前記ネットワーク・アナライザ校正システムは、前記第1ポートおよび前記第2ポートを有する前記ネットワーク・アナライザを更に備え、該ネットワーク・アナライザは、前記複数の状態を測定する、校正デバイス。

【請求項16】 請求項15に記載の校正デバイスであって、第2マルチステート転送標準を更に備え、前記マルチステート転送標準および前記第2マルチステート転送標準の各々は、それぞれ、前記ネットワーク・アナライザの前記第1ポート及び第2ポートのそれぞれに接続することができ、前記マルチステート転送標準および前記第2マルチステート転送標準のそれぞれは、所定の前記状態を前記第1ポート及び第2ポートのそれぞれに提供し、前記ネットワーク・アナライザが連続的に校正されるようにする、校正デバイス。

【請求項17】 請求項16に記載の校正デバイスであって、前記マルチステート転送標準の少なくとも第1ポートは、前記ネットワーク・アナライザの前記第1ポートおよび前記第2ポートの1つに常置的に結合され、前記マルチステート転送標準の第2ポートは、整合した負荷に常置的に結合され、自己校正ネットワーク・アナライザを提供する、校正デバイス。

【請求項18】 請求項17に記載の校正デバイスであって、第2マルチステート転送標準は第1ポート及び第2ポートを含み、前記第2マルチステート転送標準の第1ポートは、前記ネットワーク・アナライザの前記第1ポートおよび前記第2ポートの1つに常置的に結合され、前記第2マルチステート転送標準の第2ポートは、整合した負荷に常置的に結合される、校正デバイス。

【請求項19】 請求項3に記載の校正デバイスであって、第1ポートおよび第2ポートを有し、該第1ポートおよび該第2ポートのそれぞれがオスのコネクタを有する第

1アダプタ、および第1ポートおよび第2ポートを有し、該第1ポートおよび該第2ポートのそれぞれがメスのコネクタを有する第2アダプタであって、挿入可能なデバイスおよび挿入不可能なデバイスの両方を校正する校正キットを構成する第2アダプタと組み合わせた校正デバイス。

【請求項20】 請求項3に記載の校正デバイスであって、前記マルチステート転送標準の各ポートは、指定されたコネクタのセックスおよびタイプを持つ、校正デバイス。

【請求項21】 請求項3に記載の校正デバイスであって、2より多くのポートを備え、前記2より多くのポートのそれぞれは、マルチポート・ベクトル・ネットワーク・アナライザの対応するポートへ結合することができる、校正デバイス。

【請求項22】 少なくとも第1ポートおよび第2ポートを有するネットワーク・アナライザを校正する方法であって、マルチステート転送標準を用いて、前記ネットワーク・アナライザの前記第1ポートおよび前記第2ポートの何れかへの更なる校正標準の機械的な接続または接続解除の制限を受けずに、少なくとも1つの基準面に対して前記ネットワーク・アナライザを校正するために複数の状態を生成するステップと、前記ネットワーク・アナライザを用いて、前記複数の状態を測定するステップと、前記複数の状態の測定を基にして校正係数を導出するステップと、を備える方法。

【請求項23】 請求項22に記載の方法であって、前記ネットワーク・アナライザの前記第1ポートおよび前記第2ポートの少なくとも1つを、前記マルチステート転送標準とインターフェースするステップを更に備える方法。

【請求項24】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、複数のスイッチング・デバイスの少なくとも1つをバイアスするステップを含む、方法。

【請求項25】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、前記ネットワーク・アナライザの前記第1ポートおよび前記第2ポートの少なくとも1つに対して1ポート校正を行うための複数の複素反射係数を生成するステップを含む、方法。

【請求項26】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、2ポート校正を行うための複数の複素反射係数を生成するステップを含む、方法。

【請求項27】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、前記校正係数の正確性を検証する検証標準を提供するステップを含む、方

法。

【請求項28】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、複数の複素反射係数と、低損失透過接続と、高分離状態とを生成するステップを含む、方法。

【請求項29】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、少なくとも3つの既知の反射係数と、既知の低損失透過接続とを生成するステップを含む、方法。

【請求項30】 請求項22に記載の方法であって、複数の状態を生成する前記ステップは、少なくとも単極複数投スイッチを伴って既知の複素インピーダンスを有する校正標準を少なくとも1つの基準面に多重化する少なくともステップを含む、方法。

【請求項31】 請求項22に記載の方法であって、複数の状態を生成する前記ステップ、複数の状態を測定する前記ステップ、および校正係数を導出する前記ステップはそれぞれ複数の所定の時間に行われ、更に、前記ネットワーク・アナライザの機器における変化を監視するために前記校正係数を分析するステップを備える、方法。

【請求項32】 請求項31に記載の方法であって、前記校正係数を分析する前記ステップは、前記ネットワーク・アナライザの前記機器内に何れかの問題が存在しているかを検出するために前記校正係数を分析するステップを備える、方法。

【請求項33】 請求項31に記載の方法であって、前記校正係数を分析する前記ステップは、前記ネットワーク・アナライザにおける問題を診断するために、前記ネットワーク・アナライザの前記校正係数における変化を

遠隔から監視するステップを含む、方法。

【請求項34】 少なくとも第1ポートおよび第2ポートを有するネットワーク・アナライザを校正する方法であって、

前記第1ポートおよび前記第2ポートへ3つの前もって知られた反射係数を与えるステップと、

前記第1ポートおよび前記第2ポートのそれぞれに未知の相反の貫通状態を与えるステップと

前記ネットワーク・アナライザを用いて、前記3つの前もって知られた反射係数と前記貫通状態とを測定するステップと、

前記貫通状態のアンラップされた位相を評価するステップと、

前記ネットワーク・アナライザの校正係数を計算するステップと、

を備える方法。

【請求項35】 請求項34に記載の方法であって、前記貫通状態のアンラップされた位相を評価する前記ステップは、

前記ネットワーク・アナライザの位相の偏角を周波数の関数としてアンラップし、アンラップされた偏角を生じさせるステップと、

前記アンラップされた偏角を多項式にあてはめるステップと、

前記貫通状態の正しい位相シフトを生じさせるために、零に最も近い前記多項式のDC項を選択するステップとを備える、方法。

【請求項36】 請求項34に記載の方法であって、3つの前もって知られた反射係数を与える前記ステップおよび未知の相反の貫通状態を与える前記ステップは、マルチステート転送標準を用いて行われる、方法。